

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-175040

(43)Date of publication of application : 21.06.2002

(51)Int.CI.

G09G 3/20
G02F 1/133
G02F 1/1368
G09F 9/30
G09G 3/30
G09G 3/36

(21)Application number : 2001-269356

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 05.09.2001

(72)Inventor : NAKAMURA TAKU

(30)Priority

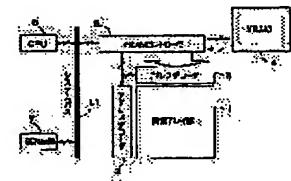
Priority number : 2000269177 Priority date : 05.09.2000 Priority country : JP

(54) DISPLAY DEVICE AND DRIVE METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device, enabling reduction in power consumption and size.

SOLUTION: The liquid crystal display device is provided with a pixel array part 1, address decoders 2, 3, display memory 4 (VRAM), and a VRAM controller 5, and transmits and receives signals to/from a CPU 6 and a peripheral circuit 7. The pixel array part 1 is of an area gradation pixel structure, in which each pixel is composed of a plurality of one-bit memories. The whole pixel array part 1 is divided into pixel blocks consisting of plural pixels, and one-bit memory rewrite is performed in block units. The one-bit memory is of a dual word line structure.



LEGAL STATUS

[Date of request for examination] 28.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3428593

[Date of registration] 16.05.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Two or more display pixels arranged in the shape of a matrix, and two or more scanning lines arranged along with the line writing direction of this display pixel, The data line arranged along the direction of a train of this display pixel, and the data-line actuation circuit which supplies pixel data to said data line, In the display which equipped said scanning line with the control section which controls the scanning-line actuation circuit which supplies a scan signal, and said data-line actuation circuit and said scanning-line actuation circuit said display pixel The sampling section which samples said pixel data which answer and correspond to said scan signal, The memory section holding the associated data sampled by this sampling section, It has two or more becoming subdisplay pixels. the display which performs a predetermined display based on said associated data — since — said two or more subdisplay pixels the [which is prepared corresponding to the data line of 1, and the scanning line of 1] — the [which is prepared corresponding to a 1 secondary display pixel, and said data line of 1 and other scanning lines] — the display characterized by including a 2 secondary display pixel.

[Claim 2] said scanning line of 1 — said — others — the 1 scanning line adjoins mutually and is arranged — having — the [said / the 1st and] — the display according to claim 1 characterized by for a 2 secondary display pixel separating said data line of 1, and arranging it.

[Claim 3] said scanning line of 1 — said — others — the 1 scanning line adjoins mutually and is arranged — having — the [said / the 1st and] — the display according to claim 1 characterized by arranging a 2 secondary display pixel between said data line of 1, and other data lines which adjoin this data line of 1.

[Claim 4] Said two or more subdisplay pixels are displays according to claim 1 characterized by being formed by screen product different, respectively.

[Claim 5] Each of two or more of said subdisplay pixels is a display according to claim 4 with which it is prepared corresponding to the bit of said pixel data, and the subdisplay pixel corresponding to the bit by the side of MSB (Most Significant Bit) of said pixel data is characterized by a screen product being large.

[Claim 6] The ratio of the screen product of each of two or more of said subdisplay pixels is a display according to claim 5 characterized by being set as the exponentiation of 2.

[Claim 7] Said memory section is a display according to claim 1 characterized by consisting of SRAM.

[Claim 8] the [by which said two or more subdisplay pixels were connected to the 1st word line] — with a 1 secondary display pixel the [which was connected to the 2nd word line] — the [a 2 secondary display pixel and / which was connected to the 3rd word line] — with a 3 secondary display pixel the [which was connected to the 4th word line] — a 4 secondary display pixel — having — the [said 1st / the / -] — the display according to claim 1 with which, as for each of a 4 secondary display pixel, only a predetermined period is characterized by what is displayed by a unit of 1 time within an one-frame period, respectively.

[Claim 9] the [said 1st / the / -] — the display according to claim 8 characterized by forming a 4 secondary display pixel by screen product different, respectively.

[Claim 10] The memory cell which consists of two or more 1-bit memory installed successively in all directions, and the pixel electrode prepared corresponding to each of two or more of said 1-bit memory, The connection control circuit which carries out change control of whether the connection path of said data line and said 1-bit memory is intercepted according to the logic of a word line, The display characterized by having the polarity-reversals circuit which carries out change control of whether the polarity of the data sent and received between

said data lines and said 1-bit memory is reversed according to a polar control signal.

[Claim 11] The display according to claim 10 characterized by for 1 pixel consisting of plurality which said 1-bit memory adjoins, and preparing said at least one 1-bit memory for red, said at least one 1-bit memory for green, and said at least one 1-bit memory for blue in 1 pixel.

[Claim 12] It is the display according to claim 10 which 1 pixel consists of plurality which said 1-bit memory adjoins, and said two or more 1-bit memory for red, said two or more 1-bit memory for green, and said two or more 1-bit memory for blue are prepared in 1 pixel, and is characterized by the area of two or more of said 1-bit memory of each color differing mutually.

[Claim 13] The memory cell which consists of two or more 1-bit memory installed successively in all directions, and the pixel electrode prepared corresponding to said 1-bit memory of two or more predetermined individuals, It has two or more subword lines in which logic becomes settled by the logic of two or more 1st word lines and the 2nd word line. To each of said subword line The display characterized by performing R/W of said 1-bit memory for two or more pixels which said 1-bit memory for two or more pixels is connected, and correspond by the logic of said subword line.

[Claim 14] The display according to claim 13 characterized by having two or more data lines installed successively in the 2nd different direction from the 1st direction where said subword lines are installed successively, and the polarity-reversals circuit which carries out change control of whether the polarity of the data sent and received between said data lines and said 1-bit memory is reversed according to a polar control signal.

[Claim 15] Two or more display pixels arranged in the shape of a matrix, and two or more scanning lines arranged along with the line writing direction of this display pixel, The data line arranged along the direction of a train of this display pixel, and the data-line actuation circuit which supplies pixel data to said data line, In the display which equipped said scanning line with the control section which controls the scanning-line actuation circuit which supplies a scan signal, and said data-line actuation circuit and said scanning-line actuation circuit said display pixel The sampling section which samples said pixel data which answer and correspond to said scan signal, The memory section holding the associated data sampled by this sampling section, It has two or more becoming subdisplay pixels. the display which performs a predetermined display based on said associated data — since — said two or more subdisplay pixels the [of n ($n \geq 1$) individual connected to the 1st data line] — the [a, 1 secondary display pixel and / which are connected to the 2nd data line / said / n] — the display characterized by including a 2 secondary display pixel.

[Claim 16] It is the display according to claim 15 which said memory section consists of DRAMs, and each of two or more of said subdisplay pixels has the burning period which plurality divided into 1 horizontal-scanning period, and is characterized by each point LGT periods differing in time amount die length, respectively.

[Claim 17] The display according to claim 15 characterized by having the refresh circuit which is synchronized with displaying said each of two or more subdisplay pixels, and performs refresh actuation of said memory section.

[Claim 18] For every color of each pixel, the same number every with the number of bits of pixel data Two or more 1-bit memory prepared, Two or more EL (electroluminescence) components turned on or switched off according to the value of each of two or more of said 1-bit memory, The holding circuit which is prepared one [at a time] for every color of each pixel, and holds the corresponding data of said 1-bit memory in order, It has the transistor for actuation turned on and off according to the logic of the data held in said holding circuit. Said transistor for actuation The display characterized by supplying the signal which directs whether to have the period in which burning at an one-frame period of the number of bits and the same number of pixel data is possible, and switch on the light by each of these periods at the time of ON to said EL element.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any
damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the technique of attaining reduction of power consumption, and simplification of circuitry, about a display.

[0002]

[Description of the Prior Art] Conventionally, by the pocket device which makes a cellular phone the start, although the display of monochrome was carried in many cases, since the opportunity of accessing the Internet by the pocket device has increased, what carries the display of a color has increased.

[0003]

[Problem(s) to be Solved by the Invention] The indicating equipment of a color has the problem that charge spacing of the dc-battery of a pocket device becomes short since there is much power consumption compared with monochrome. Moreover, since a circuit also becomes complicated, a miniaturization becomes difficult and also becomes a cost rise. In order to attain a miniaturization especially, it is desirable to form an actuation circuit on a pixel array substrate at one, but since the capacity of the memory which the configuration of an actuation circuit not only becomes complicated, but stores pixel data also increases in the case of a color, it is technically difficult to form an actuation circuit on a pixel array substrate at one.

[0004] Furthermore, since all the display area was conventionally rewritten at fixed spacing, the frequency of a pixel clock needed to be made quick as display resolution became high.

[0005] As what solves such a trouble, the technique in which only the horizontal picture element line where the content of a display changed carries out a selection scan, and rewrites the content of a display is indicated by JP,2000-227608,A.

[0006] However, in the control for such every horizontal picture element line, low-power-ization is not usually necessarily attained compared with the time of actuation.

[0007] This invention is made in view of such a point, and the object is in offering the display which can reduce power consumption and can be miniaturized.

[0008]

[Means for Solving the Problem] In order to solve the technical problem mentioned above, the display concerning this invention Two or more display pixels arranged in the shape of a matrix, and two or more scanning lines arranged along with the line writing direction of this display pixel, The data line arranged along the direction of a train of this display pixel, and the data-line actuation circuit which supplies pixel data to said data line, In the display which equipped said scanning line with the control section which controls the scanning-line actuation circuit which supplies a scan signal, and said data-line actuation circuit and said scanning-line actuation circuit said display pixel The sampling section which samples said pixel data which answer and correspond to said scan signal, The memory section holding the associated data sampled by this sampling section, It has two or more becoming subdisplay pixels. the display which performs a predetermined display based on said associated data — since — said two or more subdisplay pixels the [which is prepared corresponding to the data line of 1, and the scanning line of 1] — the [which is prepared corresponding to a 1 secondary display pixel, and said data line of 1 and other scanning lines] — a 2 secondary display pixel is included.

[0009]

[Embodiment of the Invention] Hereafter, it explains concretely in starting this invention, referring to a drawing.

[0010] Hereafter, the display concerning this invention is explained concretely, referring to a drawing.

[0011] (1st operation gestalt) Drawing 1 is the block diagram showing the outline configuration of the 1st operation gestalt of the indicating equipment concerning this invention, and shows the configuration of a liquid crystal display.

[0012] The liquid crystal display of drawing 1 is equipped with the pixel array section 1, address decoders 2 and 3, display memory (VRAM) 4, and the VRAM controller 5, and performs transmission and reception of CPU6 and the circumference circuit 7, and a signal through a system bus L1.

[0013] The pixel array section 1 has pixel structure in which the area gradation display which constituted each pixel from two or more 1-bit memory is possible. Drawing 2 is drawing showing the structure for 1 pixel. Like a graphic display, it consists of four sub-picture element fields for every color specification pixel of RGB, respectively, and 1 pixel of memory for 1 bit is prepared in each field, respectively. Drawing 2 shows the example by which 1 display pixel is constituted from four sub-picture element fields based on a 4-bit status signal for every color, and when at least d0 and Mogami set a bit to d3 for the least significant bit, the pixel value of each pixel is expressed with 20, d0+21, d1+22 and d2+23, and d3. Thereby, the display of 24= 16 gradation is attained for every color.

[0014] The 1-bit each memory in a sub-picture element field is connected to the pixel electrode which consists of aluminum, Ag, etc. and which has reflexivity, for example. On both sides of the liquid crystal layer, the counterelectrode is arranged on the top face of these reflective pixel electrode.

[0015] Moreover, by drawing 2, the 4-bit surface ratio from the least significant bit d0 to the most significant bit d3 shows each the example of d0:d1:d2:d3=1:2:4:8. Generally, it is desirable to make it the permeability of the area \times white of each bit become the exponentiation of 2. In addition, what is necessary is just to divide it into 6 sub-picture-element field corresponding to the number of bits of a status signal, so that it may change with the desired rate of surface ratio if the sub-picture element field which constitutes 1 pixel is a 6-bit status signal.

[0016] Not necessarily the array of four sub-picture element fields which constitute each pixel does not need to be located in a line in order within each display pixel, and may be located in a line with order like drawing 2 A (d0, d3, d1, d2), or may be located in a line with order like drawing 2 B (d0, d1, d2, d3). Moreover, you may stand in a line in the shape of two-dimensional like drawing 2 R>2C, and, as for this, it is desirable to make it a numerical aperture serve as max in consideration of the structure of a light filter in the ease of carrying out of connection with memory.

[0017] Although the number of subdisplay pixels which constitutes each color specification pixel of RGB from drawing 2 was equal and the case where each number of color specification gradation considered as 16 gradation was shown, the numbers of display gradation which can be expressed for every color may be made to differ. For example, drawing 3 shows the example by which R and B are constituted from a triplet, i.e., three sub-picture element fields, and G is constituted from 4 bits, i.e., four sub-picture element fields.

[0018] Although the area of each sub-picture element field explained the equal example in each color of RGB at drawing 2, the area of each sub-picture element field may differ in each color of RGB. What is necessary is just to determine that the number of bits of RGB becomes the actual most natural hue. Moreover, the surface ratio of each sub-picture element field may differ in each color of RGB.

[0019] The VRAM controller 5 of drawing 1 writes the image data sent from CPU6 in VRAM4; image data are outputted to address decoders 2 and 3 per pixel block from VRAM4 with the address data in which ejection and a pixel block coordinate are shown, and address decoders 2 and 3 store image data in the 1-bit memory of the pixel block with which the pixel array section 1 corresponds.

[0020] the number of dots which 1 font drawing takes the size of a pixel block --- abbreviation --- it is equal. The VRAM controller 5 outputs the clock for dividing for accessing 1-bit memory. Moreover, an output of medium potential is possible for the VRAM controller 5 during a data idle period (blanking period).

[0021] The pixel array section 1 is equipped with the clock generation circuit so that refresh actuation of 1-bit memory and the polarity reversals of liquid crystal applied voltage can be performed during a data idle period.

[0022] The VRAM controller 5 consists of silicon chips, and COG (chip on glass) mounting is carried out at glass substrate Kami in whom the pixel array section 1 is formed, for example. Or the VRAM controller 5 and CPU6 may be summarized to the silicon chip of a piece, and COG mounting may be carried out at glass substrate Kami. Furthermore, VRAM4 may be built in this chip.

[0023] This operation gestalt has the description in the point of rewriting 1-bit memory of each pixel per a partition opium poppy and block at the pixel block of the shape of a 2-dimensional matrix which consists the pixel array section 1 whole of two or more pixels. By rewriting per block, the number of bits of a circumference decoder circuit can be reduced, and the component-side product of a circuit becomes small. Moreover, as an actual problem, only 1 pixel is hardly rewritten, and in order to rewrite by usually collecting by dozens of pixels, even if it rewrites per block, it does not necessarily need to become redundancy actuation which wastes power consumption.

[0024] Furthermore, with this operation gestalt, the unit read from VRAM4 is made larger than the unit written in VRAM4. While only the range to be rewritten rewrites VRAM4 by this, high-speed read-out from VRAM4 becomes possible.

[0025] As an example of the liquid crystal display of drawing 1, when the number of pixels displays the alphabetic character of 16 dots by 256 (x3)x256 dots, a pixel block is made into the shape of a 2-dimensional matrix of 16x16 dots, and address decoders 2 and 3 consider as a 4-bit decoder, make it 6 bits at the time of a still picture, they perform liquid crystal pixel polarity reversals using a polish recon oscillator circuit at the time of standby, and carry out the full pause of the external controller. Moreover, VRAM4, the VRAM controller 5, and CPU6 are summarized for the chip of a piece, and VRAM4 uses a part of primary-storage memory of CPU6. COG mounting of this chip is carried out at glass substrate Kami in whom the pixel array section 1 is formed.

[0026] Drawing 4 is the block diagram showing the circuitry of the circumference of it with the pixel array section 1. Like a graphic display, the pixel array section 1 is classified into the shape of a 2-dimensional matrix by two or more memory cells (pixel block) 11, and each memory cell 11 consists of two or more pixels. Each pixel which constitutes a memory cell 11 consists of a sub-picture element of three each which is arranged at the 2 juxtaposition to which weighting of the area was carried out, and a total of six sub-picture elements, and the 1-bit memory of SRAM structure is prepared in each sub-picture element.

[0027] In equal circuit, like a graphic display, 1-bit memory is SRAM which consists of transistors Q1 and Q2 and inverters IV1 and IV2, and holds the data supplied from the data bus 12. It has the structure of impressing the high-level electrical potential difference or low-level electrical potential difference held at 1-bit memory to a pixel electrode, and impressing the potential difference between a pixel electrode and a common electrical potential difference to a liquid crystal layer.

[0028] The bit line actuation circuit 13 and the word line actuation circuit 14 are connected to the memory cell 11. A bit line actuation circuit has the train block selector 15 which chooses to which bit line the pixel data on a data bus 12 are supplied. Moreover, the word line actuation circuit 14 has the line block selector 16 and a shift register 17. The line block selector 16 chooses one of blocks, and a shift register 17 carries out sequential actuation of the word line within the selected block.

[0029] With this operation gestalt, the transistor for a pixel display and the transistor for actuation circuits are formed in glass substrate Kami, for example as an insulating substrate using a low-temperature polish recon technique. However, since working speed is slow compared with the transistor by the crystal silicon formed on a silicon wafer, the transistor formed by low-temperature polish recon needs to enlarge a voltage swing. For this reason, the level conversion of address data and image data which were supplied from the outside of a glass substrate is carried out by glass substrate Kami.

[0030] Drawing 5 is the block diagram having shown the circuitry of the memory cell 11 circumference in more detail. It has the ** clock generation circuit 30, the clock change circuit 31, and the polar control circuit 32 like a graphic display at the level shifter and the serial-parallel conversion circuit (SP conversion circuit) 21 which perform the level conversion of pixel data, a buffer 22, a data buffer 23, the address buffer 24 by the side of a line and the line block decoder 25, the address buffer 26 by the side of a train and the train block decoder 27 and a

multiplexer 28, the control circuit 29 that generates a synchronizing signal etc., and the time of standby.

[0031] Dividing of the data by which the level shift was carried out by the level shifter 21 of drawing 5 is carried out by the serial-parallel conversion circuit (SP conversion circuit) 21. The timing margin in the digital circuit by the side of the latter part is made easy for the SP conversion circuit 21 to prolong a data period n times (for n to be the two or more natural numbers), and to secure.

[0032] Image data and the block-address data which specify the block which performs writing are inputted into a glass substrate. Since a data bus 12 is so desirable that there are as much as possible few numbers, he is trying to transmit image data and a block address by same bus with this operation gestalt. For every block, address data are transmitted first and, specifically, then, image data are transmitted. Address data are held at a line / train address buffers 24 and 26, and decide a data path. Moreover, image data are stored in a data buffer 23, and are sent to the signal line in the pixel array section 1 via a multiplexer 28 in predetermined sequence.

[0033] When performing a liquid crystal display using 1-bit memory like drawing 2, a display must be continued also at the time of standby. However, if rear-spring-supporter impression of the direct current voltage is carried out at liquid crystal at a long period of time, in order for liquid crystal to cause baking etc., it is necessary to perform polarity-reversals actuation for every predetermined period also in the time of standby. For this reason, with this operation gestalt, as shown in drawing 5, the ** clock generation circuit 30 is formed at the time of standby, at the time of standby, polarity reversals are performed at a rate looser than usual, for example, it is usually made to perform polarity reversals 4 vertical-scanning periods 1 vertical-scanning period at the time of standby at the time of actuation. By forming the ** clock generation circuit 30 at the time of such standby, at the time of standby, a system clock can be stopped thoroughly, and reduction of power consumption can be aimed at.

[0034] (Example 1 of memory and a polarity-reversals circuit) Drawing 6 is the circuit diagram showing the configuration of the liquid crystal display with which the screen product succeeded in weighting, and which prepared SRAM and a polarity-reversals circuit for every sub-picture element, and the part enclosed with the alternate long and short dash line of drawing 6 shows each sub-picture element. A word line, polar control-line P+ and P-, and the data line are connected to each sub-picture element, and it is single word lineation. Each sub-picture element has the transistor Q3 turned on and off with the potential of a word line, the transistor Q4 turned on and off with the potential of polar control-line P+, the transistor Q5 turned on and off with the potential of polar control-line P-, and the inverters IV3 and IV4 by which cascade connection was carried out. SRAM consists of a transistor Q3 and inverters IV3 and IV4, and a polarity-reversals circuit is constituted by transistors Q4 and Q5.

[0035] The circuit of drawing 6 is comparatively easy and problems, like that the random access circuit of a line unit or a multi-line unit and the word line load which incorrect writing tends to produce although made to a low power more nearly substantially than the case where renewal of a full screen is always performed by combining with a 2-dimensional matrix-like random access circuit again become large, and power consumption becomes large, and a word line load becomes large may arise. Duplex WORD lineation as shown below as the technique of avoiding such a problem is combinable.

[0036] (Example 2 of memory and a polarity-reversals circuit) Drawing 7 is the circuit diagram of duplex WORD lineation. The circuit of drawing 7 has the transistor Q6 turned on and off with the potential of a train word line. ON of a transistor Q6 supplies the potential of the main word line to a subword line. The subword line is connected to each sub-picture element located in a line with the line writing direction. For example, when a subword line is high-level, while a transistor Q3 turns on, the transistor Q7 in the feedback path of SRAM turns off. At this time, either of the transistors Q4 and Q5 turns on with the potential of polar control-line P+ and P-. [0037] the time of on the other hand a subword line being a low level — a transistor Q7 — turning on — the inverter output by the side of the latter part in SRAM — the first rank — it returns to the input of a near inverter and data are held.

[0038] Thus, in duplex WORD lineation, only in the block for updating, a subword line becomes active, and since it becomes inactive [the other subword line], incorrect writing stops being able to occur easily.

[0039] Drawing 8 is drawing explaining duplex WORD lineation, and the field enclosed with the alternate long and

short dash line of drawing 8 is the block which shows the rewriting unit of data. Like a graphic display, only any one subword line becomes active with the potential of the main word line and a train word line. Moreover, sequential actuation of the 1-bit each memory within the selected block is carried out. In addition, there is especially no limit and it may cross the range used as the unit of a block to how many lines.

[0040] (Example 3 of memory and a polarity-reversals circuit) Drawing 9 A is the circuit diagram showing the example which shares the data line, and polar control-line P+ and P- between a contiguity pixel. The circuit of drawing 9 constitutes 1 pixel from four sub-picture elements by which weighting was carried out, four sub-picture elements [two] are arranged at a time vertically and horizontally, it is the example which realizes 16 gradation displays for every pixel by this, and they are sharing [two sub-picture elements which adjoin a longitudinal direction are arranged through the data line, and] this data line. A sub-picture element has the transistors Q3 and SRAM connected to the data line, and a polarity-reversals circuit. SRAM has transistors Q4 and Q5 and inverters IV3 and IV4, and a polarity-reversals circuit has transistors Q4 and Q5.

[0041] The circuit of drawing 9 needs to connect a respectively separate word line to these two sub-picture elements 100 in order to share the data line between the sub-picture element 100 which adjoins a longitudinal direction. That is, a word line is too many needed from the circuit of drawing 7. four sub-picture elements 100 by which polar control-line P+ and P- have been arranged in the vertical direction on the other hand — it connects common to all.

[0042] By the way, although drawing 9 A explained the example which arranges the data line between two sub-picture elements 100 which adjoin a longitudinal direction, as shown in drawing 9 B, the data line may be arranged at the left end of two adjoining sub-picture elements 100 (or right end).

[0043] (A display controller's configuration) VRAM4 and the VRAM controller 5 of drawing 1 are packed into a one chip in many cases.

[0044] Drawing 10 is the block diagram of the display controller who packed VRAM4 and the VRAM controller 5 into the one chip. The display controller of a graphic display has CPU6, the host interface (host I/F) section 41 which performs transmission and reception of data, the memory controller 42, a display FIFO 43 and a look-up table 44, VRAM4, the write-in supervisory circuit 45, the read-out block-address generating circuit 46, the address translation circuit 47, and the interface (I/F) section 48 that delivers the data to the address decoders 2 and 3 of drawing 1 R> 1.

[0045] The write-in supervisory circuit 45 supervises whether it is the no to which CPU6 rewrote the content of VRAM4. If the content of VRAM4 is rewritten, the read-out block-address generating circuit 46 will generate the address for the pixel block containing the pixel rewritten in predetermined time.

[0046] The address translation circuit 47 changes the address of the VRAM space specified by CPU6 into the block address for a display. A look-up table 44 changes the color gradation data specified by CPU6 into the data for 1-bit memory.

[0047] (Small-size width-of-face writing to single data-line memory) In case data are written in 1-bit memory in the case of the circuit of drawing 7 mentioned above, the transistor Q7 was turned OFF and the memory loop formation is omitted. By such control, the amplitude of the data sent into the data line can be minimum-ized. The amplitude of the data in this case is good at threshold dispersion +alpha extent of inverters IV3 and IV4. For example, if the threshold of inverters IV3 and IV4 sets to 2.5V**0.3V, taking component dispersion into consideration, when the data line is less than [-2.2V-], it will be recognized as a low-level, and, in the case of beyond 2.8V, will be recognized as high-level.

[0048] Then, as shown in drawing 11, after carrying out the level shift of the output of the digital buffer 50 of 0V-5V amplitude to the signal of 2V-3V amplitude with the analog buffer 51, the 1-bit memory 55 is supplied. Thereby, reduction of power consumption can be aimed at.

[0049] Moreover, it is desirable to connect capacity C1 to somewhere in the 1-bit memory 55. Even if actuation of an inverter loop formation is not stable while delay of inverters IV3 and IV4 is large and the word line is being activated since it writes in capacity dynamically and level is held even after turning off a word line by adding such a capacity C1, a stable state can be reached behind for a while. In addition, capacity C1 may not be an external

thing and is effective also by the capacity which is parasitic on the circuit, liquid crystal capacity, or the auxiliary capacity Cs.

[0050] Furthermore, the power consumed with bus wiring for data distribution can be reduced by making the digital data of 0V-5V amplitude into the small-size width of face of 2V-3V or 1V-4V with the analog buffer 51. The loss of power consumption becomes small rather than the easy approach of connecting a 1V-4V power-source line to the data line according to the low/high of a signal is also possible instead of an analog buffer and it constitutes an analog buffer from large poly-Si TFT of property dispersion.

[0051] On the other hand, it is necessary to drive logical circuits, such as a multiplexer of drawing 5, with the comparatively big amplitude. For this reason, as shown in drawing 12, it is necessary to form the level shifter 52 changed into the large amplitude in the latter-part side of the analog buffer 51 changed into small-size width of face.

[0052] The circuit diagram in which drawing 13 shows an example of a level shifter 52, and drawing 14 are drawings showing the I/O wave of the circuit of drawing 13. In drawing 14, till 300ns, a switch SW1 turns on and a switch SW2 turns off. For this reason, the left lateral electrode of the capacitor C2 of drawing 13 is set to 1.65V. Moreover, since the input/output terminal of an inverter 53 is in switch-on through a switch SW3 at this time, the input/output terminal of abbreviation of an inverter 53 is in a threshold electrical potential difference by carrying out, and becomes an electrical potential difference.

[0053] A switch SW1 turns off after 300ns, and a switch SW2 turns it on. This changes into the electrical potential difference according to threshold dispersion.

[0054] Drawing 15 is the detailed circuit diagram of the analog buffer 51 circumference. Switches SW4 and SW5 are connected to the input terminal of the analog buffer 51, and the inverter 54 is connected to it through the capacitor C3 at the output terminal of the analog buffer 51.

[0055] The analog buffer 51 consists of two transistors Q8 and Q9 like drawing 16 A simply. Or you may make it a differential amplifying circuit configuration like drawing 16 B.

[0056] Although the operation gestalt mentioned above explained the example which makes SRAM structure 1-bit memory in the pixel array section 1, you may make it DRAM structure and resistance-load mold structure.

Drawing 17 is drawing showing the structure of 1-bit memory, and, as for the example of SRAM structure, and drawing 17 B, drawing 17 A shows the example of DRAM structure, as for the example of resistance-load mold structure, and drawing 17 C.

[0057] What transposed the PMOS transistor of the inverter which constitutes SRAM to resistance becomes the resistance-load mold structure of drawing 17 B. Moreover, in the case of the DRAM structure shown in drawing 17 C, the circuit which performs the refresh and polarity reversals other than the DRAM part shown by the dotted line is prepared every two or more bits.

[0058] Drawing 18 is the timing chart of the DRAM structure of drawing 17 C. Hereafter, actuation of drawing 17 C is explained based on drawing. Supply voltage VDD and the touch-down electrical potential difference VSS are shaken synchronizing with a COM electrical potential difference, keeping the difference at 5V.

[0059] First, the procedure of data writing is explained. At the time of data writing, it is activating the word line Wi of drawing 17 C, and data are impressed to the inverter of the auxiliary capacity Cs and the first rank. At this time, since it is high-level, a transistor is an OFF state and, as for the loop formation of an inverter, Signal A is intercepted.

[0060] Next, if a word line Wi is made into non-activity and Signal A is made into a low level, the loop formation of an inverter is activated, reversal magnification will be carried out and the voltage level currently held dynamically at the gate capacitance of the inverter of the first rank will turn into a desired voltage level.

[0061] Next, it is made to flow through Signal SBi. Thereby, Cs level is charged by power-source level. Then, a word line Wi is activated and the above-mentioned procedure is repeated.

[0062] On the other hand, reversal refresh of a data-hold term throughout is performed by the following procedures. In drawing 17 C, activation of Signal SAI holds the voltage level of the auxiliary capacity Cs dynamically at the gate of the inverter of the first rank. If Signal A is set to a low level, the loop formation of an

inverter will be activated and holding level will turn into power-source level by magnification actuation of this loop formation. Next, activation of Signal SBi writes reversal level in the auxiliary capacity Cs. Next, Signal SA (I+1) is activated and the above-mentioned procedure is repeated.

[0063] In addition, refresh of data is performed at the period (blanking period) which does not write in data.

[0064] Drawing 19 is with the case where the whole memory is rewritten, the case where it rewrites per line, and the case where it rewrites by the matrix unit, and is drawing which measured power consumption. Like a graphic display, as for the case where it rewrites per line next by the case where the whole memory is rewritten, there is most power consumption, and it is the case where a thing with least power consumption rewrites by the matrix unit like this operation gestalt.

[0065] Drawing 20 is the block diagram showing the outline configuration of the liquid crystal display at the time of constituting the pixel array section 1 using the 1-bit memory of DRAM structure. Although the circuitry of drawing 20 is the same as that of drawing 5 fundamentally, it differs from drawing in that DRAM with a reversal refresh circuit is prepared in the pixel array section 1. By making it DRAM structure, rather than SRAM structure, circuitry can be simplified and power consumption can also be reduced.

[0066] Although the display based on the logical level memorized by 1-bit memory was explained in detail above, D/A conversion of the digital video signal is carried out to analog voltage level, analog voltage level is impressed to the data line, and the usual display means written in liquid crystal capacity and Cs capacity can also be used together. It considers as the 4 bit memory of each sub-picture element, and is made to the 6-8bit display by D/A conversion with a standby display mode in the 4-bit low-power display of the memory base, and animation display mode. Moreover, the display layer in this invention may be not only a liquid crystal layer but an EL layer etc.

[0067] Next, the suitable example of the liquid crystal display of the 1st operation gestalt is explained with reference to a drawing.

[0068] This liquid crystal display is the 4 inches size of diagonal used for PDA, and the light reflex mold equipped with the viewing area with the total 320 (x3)x480 pixels.

[0069] drawing 21 — the outline block diagram of this liquid crystal display, and drawing 22 — the outline block diagram of a display pixel, and drawing 23 — some liquid crystal displays — it is an outline sectional view.

[0070] This liquid crystal display forms in one interface section 5a which built in a part of function of Y address decoder 2a of the display array section 1 and a couple, 2b, the X address decoder 3, and the VRAM controller 5 in drawing 1 for example, by the polycrystal silicon transistor (p-Si TFT) as an insulating substrate for example, on the array substrate 200 which consists of glass.

[0071] Although the number of output pins of graphic controller IC5b mentioned later can be reduced and size of the graphic controller IC5b can be carried out [cheap] of course by this by forming the above-mentioned interface section 5a in one on the array substrate 200, although mentioned further later, graphic controller IC5b actuation can be stopped, and, thereby, much more low-powerization is attained.

[0072] In addition, on the array substrate 200, the power source IC 8 which built in graphic controller IC5b which summarized the part and display memory (VRAM) 4 of a function of the VRAM controller 5 in drawing 1 in one package, and power circuits, such as a DC to DC converter, is mounted by COG (chip on glass).

[0073] Direct continuation of the graphic controller IC5b is carried out to the system bus L1. It connects with the external power which is not illustrated and a power source IC 8 receives supply of the driver voltage VDD of 3V, and the ground electrical potential difference VSS.

[0074] The display array section 1 is classified into 8 blocks (A1-4, B1-4) which consists of 160 (x3)x120 pixels which consisted of the total 320 (x3)x480 pixels as mentioned above, was carried out 2 ****s by right and left of a viewing area, and was quadrisected by the upper and lower sides. The left block in the display array section 1 (A1-4) is controlled by Y address decoder 2a, and a right block (B1-4) is controlled by Y address decoder 2b.

[0075] As shown in drawing 22 , as for each display pixel which constitutes the display array section 1, the rate of surface ratio is equipped with the subdisplay pixel electrodes 81a and 81b of 2:1, respectively. The liquid crystal capacity CLca is formed between 1st subdisplay pixel electrode 81a and Counterelectrode Vcom, and the liquid crystal capacity CLcb is formed between 2nd subdisplay pixel electrode 81b and Counterelectrode Vcom.

[0076] DRAM71a-1, 71a-2, and 71a-3 which memorize pixel data DAT A for a triplet corresponding to 1st sub-picture element electrode 81a, each DRAM71 — TFT72 for a transfer prepared corresponding to a-1, 71a-2, and 71a-3 — with a-1, 72a-2, and 72a-3 each DRAM71 — polarity-reversals circuit 77a arranged between refresh circuit 73a prepared in common to a-1, 71a-2, and 71a-3, and 1st sub-picture element electrode 81a and refresh circuit 73a is prepared.

[0077] Moreover, it corresponds to 2nd sub-picture element electrode 81b with one half of the area of 1st sub-picture element electrode 81a. DRAM71b-1, 71b-2, and 71b-3 which memorize the pixel data for a triplet, each DRAM71 — TFT72 for a transfer prepared corresponding to b-1, 71b-2, and 71b-3 — with b-1, 72b-2, and 72b-3 each DRAM71 — refresh circuit 73b prepared in common to b-1, 71b-2, and 71b-3 and polarity-reversals circuit 77b are prepared.

[0078] the [moreover,] — the [1 secondary display pixel electrode 81a and] — between 2 secondary display pixel electrode 81b, the discharge circuit 78 which makes the charge held at the liquid crystal capacity CLca and CLcb discharge is formed.

[0079] Each of DRAM71a-1, 71a-2, 71a-3, 71b-1, 71b-2, and 71b-3 has the sampling transistors STr1-STr5 and capacity Cs0-Cs5.

[0080] The refresh circuits 73a and 73b have the feedback 76a and TFT 76b which was connected to the electrical-potential-difference line of 0V (Vss) and 5V (Vdd), and was connected between the input terminal of two inverters IV1 and IV2 by which the series connection was carried out, and the inverter IV1 of the first rank, and the output terminal of the latter inverter IV2. And the output terminal of the inverter IV1 of the preceding paragraph and the output terminal of the latter inverter IV2 are connected to the polarity-reversals circuit 77.

[0081] Next, actuation of the liquid crystal display of drawing 21 is explained.

[0082] The liquid crystal display of drawing 21 realizes 64 gradation displays based on 6-bit image data by actuation which combined area gradation (each display drawing consists of 2 secondary display pixel electrodes 81a and 81b) and pulse width modulation (three subframe periods from which burning time amount differs at an one-frame period are established, and the ratio of the burning time amount of each subframe (1st — the 3rd display) period is set to 1:2:4).

[0083] Since each display pixel is equipped with DRAM as memory, in case a still picture etc. is displayed, actuation of a circumference actuation circuit can be stopped, and low-power-ization is attained. Moreover, by the 8-block independent control of a viewing area, since partial rewriting of the display screen is attained, actuation of a circumference actuation circuit can be stopped selectively and much more low-power-ization is attained.

[0084] In detail, the graphic controller IC outputs the pause signal SHUT to a power source IC 8 at a period without renewal of the frame memory in the graphic controller IC, and based on this, a power source IC 8 suspends the current supply of a part of blocks, and attains low-power-ization.

[0085] First, the case where there is no input of the image data data in the graphic controller IC is explained.

[0086] Although the graphic controller IC was always outputting the pixel data for one frame with the conventional liquid crystal display even if it was the case where there was no input of the image data data in the graphic controller IC, since each pixel builds in memory, the output of all the image data data of the graphic controller IC can be stopped in the liquid crystal display of this example. Moreover, low-power-ization is attained by also being able to stop actuation of X-address decoder in connection with this, and stopping the output of a power source in part further.

[0087] Drawing 24 is drawing showing the display timing within the one-frame period of this display pixel. With reference to drawing 24 , it explains taking the case of the display of the 1 display pixel in A 2 blocks.

[0088] First, between time of day t1-t2, while the bit [0th] data (for example, "0") are held through the data line Xnb at the capacity Cs 0 of DRAM71b-1, the data (for example, "1") of a triplet eye are held through the data line Xna at the capacity Cs 3 of DRAM71a-1.

[0089] then, at time of day t2-t3 (the 1st display period), the polar signal PoA inputted into the polarity-reversals circuit 77 sets it as high level, and PoB sets it as a low level — having — the — 1 secondary display pixel

electrode 81a — the electrical potential difference of 5V (Vdd) — the — the electrical potential difference of 0V (Vss) is impressed to 2 secondary display pixel electrode 81b, respectively. in addition, the electrical potential difference of a counterelectrode is set as 0V at this time — having — **** — thereby — the inside of the 1st display period (time of day t2-t3) — the — the field corresponding to 1 secondary display pixel electrode 81a — light — penetrating — the — light intercepts the field corresponding to 2 secondary display pixel electrode 81b. [0090] then — during time of day t3-t4 — a control signal A — high-level — setting up — the [the 1st and] — the potential of the 2 secondary display pixel electrodes 81a and 81b is made to short-circuit to the counterelectrode potential Vcom Thereby, the charge currently held at the liquid crystal capacity CLca and CLcb once discharges. Moreover, while the bit [1st] data (for example, "1") are held through the data line Xnb at the capacity Cs 1 of DRAM71b-2, the bit [4th] data ("0") are held through the data line Xna at the capacity Cs 4 of DRAM71a-2.

[0091] then, at time of day t4-t5 (the 2nd display period), the polar signal PolA inputted into the polarity-reversals circuit 77 sets it as high level, and PolB sets it as a low level — having — the — 1 secondary display pixel electrode 81a — the electrical potential difference of 0V (Vss) — the — the electrical potential difference of 5V (Vdd) is impressed to 2 secondary display pixel electrode 81b, respectively. in addition, the electrical potential difference of a counterelectrode is set as 0V like the 1st display period at this time — having — **** — thereby — the inside of the 1st display period (time of day t2-t3) — the — the field corresponding to 1 secondary display pixel electrode 81a — light — intercepting — the — light penetrates the field corresponding to 2 secondary display pixel electrode 81b.

[0092] then — during time of day t5-t6 — a control signal A — high-level — setting up — the [the 1st and] — the potential of the 2 secondary display pixel electrodes 81a and 81b is made to short-circuit to the counterelectrode potential Vcom Thereby, the charge currently held at the liquid crystal capacity CLca and CLcb once discharges. Moreover, while the bit [1st] data (for example, "1") are held through the data line Xnb at the capacity Cs 2 of DRAM71b-3, the bit [4th] data ("0") are held through the data line Xna at the capacity Cs 5 of DRAM71a-3.

[0093] then, at time of day t6-t7 (the 3rd display period), the polar signal PolA inputted into the polarity-reversals circuit 77 sets it as high level, and PolB sets it as a low level — having — the — 1 secondary display pixel electrode 81a — the electrical potential difference of 5V (Vdd) — the — the electrical potential difference of 0V (Vss) is impressed to 2 secondary display pixel electrode 81b, respectively. in addition, the electrical potential difference of a counterelectrode is set as 0V at this time — having — **** — thereby — the inside of the 1st display period (time of day t2-t3) — the — the field corresponding to 1 secondary display pixel electrode 81a — light — penetrating — the — light intercepts the field corresponding to 2 secondary display pixel electrode 81b. [0094] Thus, in this example, 64 gradation displays based on 6-bit image data are realized by the actuation which combined two subdisplay pixel electrodes 81a and 81b for realizing area gradation, and the 1st — the 3rd display period (the ratio of the burning time amount of the 1st — the 3rd display period is 1:2:4) within the one-frame period for realizing Pulse Density Modulation.

[0095] In addition, in a frame [degree] period, a low level and PolB are set up high-level, and maintaining the same display condition, since the electrical potential difference of a counterelectrode is set as 5V, it can reverse the electrical-potential-difference polarity impressed to liquid crystal, and can be burned, and the polar signal PolA inputted into the polarity-reversals-circuit 77 can aim at prevention.

[0096] As mentioned above, in the liquid crystal display of drawing 21, when there is no input of the image data data in the graphic controller IC, actuation of X address decoder can be stopped thoroughly, and a display can be maintained by pixel data DAT A held at DRAM built in.

[0097] Next, after the above-mentioned display condition continues, the case where the image data data are inputted into the graphic controller IC is explained (when modification has a part of displays which are A1 block in a viewing area).

[0098] The image data data and the address data adrs of this image data data are inputted into the graphic controller IC with a system clock SYSCLK through a system bus L1 from CPU6 (refer to drawing 1). The graphic

controller IC carries out renewal of sequential of the frame memory in the graphic controller IC based on these address data adrs.

[0099] The graphic controller IC outputs the Y start YST which controls Y address decoder to interface section 5a while outputting the X clock XCLK and the X start XST which control the X address decoder 3 based on the system clock SYCLK inputted. Moreover, the graphic controller IC outputs the address data ADRS which point out pixel A1 block data DAT A and the A1 block coordinate corresponding to the updated image data data to interface section 5a.

[0100] Interface section 5a generates the Y clock YCLK based on the X clock XCLK inputted, and outputs this Y clock YCLK and the Y start YST to Y address decoder 2a and 2b, and outputs the X clock XCLK and the X start XST to the X address decoder 3. Furthermore, interface section 5a outputs pixel data DAT A and the X address data XADRS to the X address decoder 3 while outputting the Y address data YADRS to Y address decoder 2a and 2b based on pixel data DAT [of a block unit] A and address data ADRS which are inputted.

[0101] The X address decoder 3 samples the data corresponding to an A2 block 1 horizontal-picture-element line by sampling circuit SP in H/2 period based on pixel data DAT A and the X address data XADRS which are inputted, and holds pixel data DAT A by the data latch DL. And the sequential output of the pixel data DAT A corresponding to the data lines Xna and Xnb corresponding to A2 block is carried out through the data-line driver XDR and the data-line selecting switch XSW at each order of a bit.

[0102] The decoding section DC of Y address decoder 2a and 2b activates only control-section 2L corresponding to A2 block based on the Y address data YADRS inputted, and control-section 2L outputs a signal (A, W1 - W3, SA1-SA3, PolA, PolB) to a response pixel.

[0103] Sequential supply of the 6-bit pixel data DAT A is carried out from the X address decoder 3 to the A2 block timing shown in drawing 24 at the data lines Xna and Xnb corresponding to A2 block. Moreover, sequential supply of the sampling pulse W1 is carried out from Y address decoder 2a, and thereby, first, while the 0th bit of 6-bit DATA is held at the capacity Cs 0 of DRAM71b-1, 3 bits is held at the capacity Cs 3 of DRAM71a-1. Next, when a sampling pulse W2 is supplied, the 1st bit of 6-bit DATA is held at the capacity Cs 1 of DRAM71a-2, and the 4th bit is held at the capacity Cs 4 of DRAM71b-2. Next, when sampling pulse W3 is supplied, the 2nd bit of 6-bit DATA is held at the capacity Cs 2 of DRAM71b-3, and the 5th bit is held at the capacity Cs 5 of DRAM71a-3.

[0104] It differs from a previous display condition. In the capacity Cs 0 of DRAM71b-1, 71b-2, 71b-3, 71b-1, 71b-2, and 71b-3 for example, 0th bit data "1" — capacity Cs 1 — the bit [1st] data — "0" — capacity Cs 2 — the bit [2nd] data — "1" — capacity Cs 3 — the bit [3rd] data — "0" — capacity Cs 4 — the bit [4th] data — "1" — capacity Cs 5 — the bit [5th] data — "0" shall be held

[0105] in addition — according to the configuration of this example — each — the refresh circuits 73a and 73b which carry out a current supply source to DRAM71a-1-71b-3 and the subdisplay pixel electrodes 81a and 81b — the time of a sampling action — the object for a transfer — since it is electrically separated by transistor 72a-1-72b-3, it is possible to perform a sampling action independently with a display action. It becomes unnecessary therefore, to be able to refresh DRAM71a-1-71b-3 to performing a display action and coincidence, and to prepare a refresh period in others.

[0106] the bit [0 or 3rd] load period shown in drawing 24 — the transfer pulse SA 1 — the object for a transfer transistor 72a-1 and 72b-1 flow

[0107] for example, in the 1st display period (time of day t2-t3 of drawing 24), the polar signal PolA inputted into the polarity-reversals circuit 77 sets it as high level, and PolB sets it as a low level — having — the — 1 secondary display pixel electrode 81a — the electrical potential difference of 0V (Vss) — the — the electrical potential difference of 5V (Vdd) is impressed to 2 secondary display pixel electrode 81b, respectively. in addition, the electrical potential difference of a counterelectrode is set as 0V at this time — having — **** — thereby — the inside of the 1st display period — the — the field corresponding to 1 secondary display pixel electrode 81a — light — intercepting — the — light penetrates the field corresponding to 2 secondary display pixel electrode 81b.

[0108] then — the time of day t3-t4 of drawing 24 — a control signal A — high-level — setting up — the [the

1st and] — the potential of the 2 secondary display pixel electrodes 81a and 81b is made to short-circuit to the counterelectrode potential V_{com} Thereby, the charge currently held at the liquid crystal capacity CL_{ca} and CL_{cb} once discharges. Moreover, while the bit [1st] data (for example, "1") are held through the data line X_{nb} at the capacity C_s 1 of DRAM71b-2, the bit [4th] data ("0") are held through the data line X_{na} at the capacity C_s 4 of DRAM71a-2.

[0109] then, at time of day t_4-t_5 (the 2nd display period), the polar signal $PolA$ inputted into the polarity-reversals circuit 77 sets it as high level, and $PolB$ sets it as a low level — having — the — 1 secondary display pixel electrode 81a — the electrical potential difference of 5V (V_{dd}) — the — the electrical potential difference of 0V (V_{ss}) is impressed to 2 secondary display pixel electrode 81b, respectively. in addition, the electrical potential difference of a counterelectrode is set as 0V like the 1st display period at this time — having — **** — thereby — the inside of the 1st display period (time of day t_2-t_3) — the — the field corresponding to 1 secondary display pixel electrode 81a — light — penetrating — the — light intercepts the field corresponding to 2 secondary display pixel electrode 81b.

[0110] then — during time of day t_5-t_6 — a control signal A — high-level — setting up — the [the 1st and] — the potential of the 2 secondary display pixel electrodes 81a and 81b is made to short-circuit to the counterelectrode potential V_{com} Thereby, the charge currently held at the liquid crystal capacity CL_{ca} and CL_{cb} once discharges. Moreover, while the bit [1st] data (for example, "1") are held through the data line X_{nb} at the capacity C_s 2 of DRAM71b-3, the bit [4th] data ("0") are held through the data line X_{na} at the capacity C_s 5 of DRAM71a-3.

[0111] then, at time of day t_6-t_7 (the 3rd display period), the polar signal $PolA$ inputted into the polarity-reversals circuit 77 sets it as high level, and $PolB$ sets it as a low level — having — the — 1 secondary display pixel electrode 81a — the electrical potential difference of 0V (V_{ss}) — the — the electrical potential difference of 5V (V_{dd}) is impressed to 2 secondary display pixel electrode 81b, respectively. in addition, the electrical potential difference of a counterelectrode is set as 0V at this time — having — **** — thereby — the inside of the 1st display period (time of day t_2-t_3) — the — the field corresponding to 1 secondary display pixel electrode 81a — light — intercepting — the — light penetrates the field corresponding to 2 secondary display pixel electrode 81b.

[0112] In addition, as other blocks without a data input were mentioned above, a display is maintained based on the pixel data currently held at DRAM.

[0113] As mentioned above, according to the liquid crystal display of this example, the 6 bit memory of built-in, Area gradation (each display pixel consists of 2 secondary display pixel electrodes 81a and 81b), By the configuration which combined pulse width modulation (three subframe periods from which burning time amount differs at an one-frame period are established, and the ratio of the burning time amount of each subframe (1st — the 3rd display) period is set to 1:2:4) Stopping actuation of X address decoder thoroughly at the time of a still picture display, the 6 bit memory of built-in can realize 64 gradation displays, and power consumption can be reduced substantially.

[0114] Moreover, a viewing area is classified into two or more blocks two-dimensional, rewriting of a partial field can also be stopped and realized in the minimum circuit actuation by having made the independent control respectively possible, and power consumption can be reduced substantially.

[0115] Although deterioration of the display grace by printing was prevented in this example by reversing the polarity of the electrical potential difference impressed to liquid crystal for every one-frame period, it may be not only one frame but every 1 horizontal-picture-element line, and every two or more horizontal picture element line in order to reduce a flicker, although power consumption increases.

[0116] Moreover, in this example, by using the so-called common reversal actuation which fluctuates the potential of a counterelectrode with a frame period, the supply voltage inputted into an inverter could be held down to two, and simplification was attained in the configuration of an array substrate.

[0117] By the way, although the above-mentioned example realized dividing into two to the longitudinal direction by arranging Y address decoder to right and left of the pixel array section 1, by arranging a train word line actuation circuit, as shown in drawing 25, there is no limit in the number of partitions in a longitudinal direction,

and it becomes possible to carry out a block partition more finely. That is, although the response block was uniquely determined by the previous example by assignment of Y address decoder, a response block will be determined in this example by each assignment with Y address decoder and a train word line actuation circuit. [0118] About the configuration of the liquid crystal display of drawing 21, it supplements with reference to drawing 2323. TFT which constitutes each circuit block etc. is formed considering polycrystalline silicon (p-Si) 101 as a barrier layer on the insulating substrate 100 which consists of glass, and LDD structure is adopted in order that N channel TFT may reduce leakage current. On polycrystalline silicon (p-Si) 101, the gate dielectric film 102 which consists of silicon oxide film is arranged, and the gate electrode 103 which consists of a MoW alloy etc. on this is arranged. And the source and the drain electrode 105,106 which are electrically connected to polycrystalline silicon (p-Si) 101 through the interlayer insulation film 104 which consists of silicon oxide film on this are arranged. Furthermore, it is arranged by the thickness whose interlayer insulation film 104 which consists of acrylic resin etc. on this is about 3 micrometers, and the pixel electrode 107 is arranged with the reflector which consists of aluminum on this, and the array substrate 99 is constituted.

[0119] The light-shielding film 111 which becomes glass substrate Kami from metals, such as Cr, or black resin is arranged, red, blue, and the green light filter 112 are arranged between light-shielding films 111, the counterelectrode 113 which consists of transparent electrodes, such as ITO, on this is arranged, and the opposite substrate 110 which counters this array substrate 99 is constituted.

[0120] And between the array substrate 99 and the opposite substrate 113, the liquid crystal layer 116 is held through the orientation film 114,115, and the polarizing plate 117 is further arranged and constituted on the opposite substrate 113.

[0121] As a liquid crystal layer 116, a ferroelectric liquid crystal, OCB liquid crystal, etc. excellent in the responsibility else [, such as a twist nematic liquid crystal,] are used suitably.

[0122] Moreover, it is further applicable to various display modes, such as echo / transparency mold combining and [which may be a transparency mold and / by which opening was formed in the reflector besides the reflective mold mentioned above as a display mode of liquid crystal], and transparency, and a transflective type using selective reflection film, such as cholesteric liquid crystal.

[0123] (2nd operation gestalt) The 2nd operation gestalt is the example which used EL (electroluminescence) component as a display device.

[0124] This EL element is formed considering polycrystalline silicon (p-Si) as a barrier layer 131 on the insulating substrate 100 which consists of glass, as shown in drawing 26, and LDD structure is adopted in order that N channel TFT may reduce leakage current. On polycrystalline silicon (p-Si), the gate dielectric film 132 which consists of silicon oxide film is arranged, and the gate electrode 133 which consists of a MoW alloy etc. on this is arranged. And the source and the drain electrode 135,136 which are electrically connected to polycrystalline silicon (p-Si) through the interlayer insulation film 134 which consists of silicon oxide film on this are arranged. Furthermore, it is arranged by the thickness whose interlayer insulation film 137 which consists of acrylic resin etc. on this is about 3 micrometers, and the pixel electrode 138 of the reflector which consists of a layered product with transparent electrodes, such as aluminum and ITO, on this is arranged.

[0125] And in order to divide a pixel electrode, the septum 139 for pixel separation which becomes pixel inter-electrode from acrylic black resin is arranged, and the hole impregnation layer 140 which consists of macromolecule ion complex on the pixel electrode divided by the septum 139 for pixel separation is arranged. Furthermore, on the hole impregnation layer 140, the luminous layer 141 which consists of a conjugation polymer corresponding to each pixel is arranged, and the cathode electrode 142 which consists of a layered product of thin film alkaline earth metal and transparent electrodes, such as ITO, on this is arranged and constituted.

[0126] Although productivity is highly suitable for them as the hole impregnation layer 140 or a luminous layer 141 since the above-mentioned polymeric materials can be formed by ink jet spreading, this invention is not restricted to this and its various low-molecular ingredients are also suitably usable.

[0127] Drawing 27 is the outline block diagram of this EL element, and shows the configuration for 1 pixel of EL display. Like a graphic display, it consists of an object for (Red R) colors, an object for green (G) colors, and three

blocks for blue (B) colors. In each block, DRAM71 which memorizes pixel data, TFT72 for a transfer, the refresh circuit 73, TFT74 for actuation, and EL element 75 are formed.

[0128] DRAM71 and TFT72 for a transfer are formed by the number of bits of pixel data. For example, drawing 27 is equipped with six DRAMs71 and TFT(s)72 for a transfer, and the display of 26= 64 gradation is possible for it.

[0129] The refresh circuit 73 has the feedback TFT76 connected between the input terminal of two inverters IV3 and IV4 by which the series connection was carried out, and the inverter IV3 of the first rank, and the output terminal of the latter inverter IV4. The output terminal of the latter inverter IV4 is connected to the gate terminal of TFT74 for actuation, and EL element 75 is connected to the source terminal of TFT74 for actuation.

[0130] If six DRAMs71 and TFT(s)72 for a transfer are connected to juxtaposition in the refresh circuit 73 and either of TFT(s)72 for a transfer turns on, reading appearance of the corresponding data of DRAM71 will be carried out, and they will be inputted into the refresh circuit 73.

[0131] EL display of drawing 27 has realized the gradation display by controlling the burning period of EL element 75. For example, when performing 64 gradation displays, as shown in drawing 28, six subframe periods from which burning time amount differs at an one-frame period are established, and the ratio of the burning time amount (a part for Kurobe of this drawing) of each subframe period is set to 1:2:4:8:16:32. And according to the value of pixel data, it determines whether EL element 75 is made to turn on within each subframe period.

[0132] Drawing 28 A carries out the rear-spring-supporter graphic display of the period which the EL element of this pixel turns on actually at one frame by making the case of the pixel of pixel data (1, 1, 1, 1, 1, 1) into an example. The EL element section of this pixel emits light actually at the period shown by the black of this drawing. Drawing 28 B carries out the rear-spring-supporter graphic display of the period which the EL element of this pixel turns on actually at one frame by making the case of the pixel of pixel data (1, 0, 1, 0, 1, 1) into an example.

[0133] Hereafter, actuation of EL display of drawing 27 is explained. First, where word line Wi-W (i+5) is turned on in order, the writing of the pixel data to DRAM71 is performed by supplying data to a bit line in order.

[0134] After the data writing to DRAM71 is completed, every six TFT [one]72 for a transfer is made to turn on in order by controlling control-line SAi-SA (i+5). TFT72 for a transfer is made to more specifically turn on by turns in order for every subframe period.

[0135] The data of DRAM71 connected to turned-on TFT72 for a transfer by this are inputted into the refresh circuit 73 in order. At this event, the control line A is high-level and turns off feedback TFT76.

[0136] Next, the control line A is made into a low level, and feedback TFT76 is made to turn on. Thereby, refresh actuation is performed in the refresh circuit 73.

[0137] On the other hand, an electrical-potential-difference pulse like drawing 28 C of drawing 28 A and this period is supplied to a current supply line. Therefore, if the output of the refresh circuit 73 is high-level, TFT74 for actuation will turn on and EL element 75 will light up during the black period of drawing 28 A.

[0138] The timing and the luminescence timing of EL element 75 which write pixel data in DRAM71 can consider not only a general way but two or more kinds. For example, drawing 29 A indicates the timing chart in the case of establishing the renewal period of data of DRAM71 separately to be the luminescence period of EL element 75.

[0139] Moreover, drawing 29 B shows the example which uses a part of luminescence period of EL element 75 for the renewal of data of DRAM71. What is necessary is just to turn off TFT72 for a transfer, and feedback TFT76, in order to update data during a luminescence period.

[0140] Moreover, drawing 29 C shows the example which performs renewal of data of DRAM71 to this timing mostly between the issuance machine of EL element 75. In this case, what is necessary is to turn off TFT72 for a transfer, to separate DRAM71 and the refresh circuit 73, and just to perform renewal of data of DRAM71, shortly after refresh actuation finishes. Furthermore, if it is performed as follows, it will become possible to carry out renewal of memory completely independently of a luminescence period. That is, even if it is the midst which has sent the electrical potential difference of DRAM71 to the refresh circuit by TFT72 for a transfer, if a word line Wi is activated, the logic which surely makes SAi a low level will be defined. A luminescence sequence and the renewal sequence of memory can be defined a completely independent period. It will become possible just if it is a configuration like this invention.

[0141] The drawing 29 B can lengthen a luminescence period rather than drawing 29 A, and drawing 29 C can lengthen a luminescence period rather than drawing 29 B. Generally, the one where a luminescence period is longer can reduce power consumption.

[0142] Although what connects I/O of two inverters on a loop formation as a DRAM refresh circuit was used with this operation gestalt, if it is a circuit with the function which amplifies the logical level of DRAM71, it can deform into others variously.

[0143]

[Effect of the Invention] Since according to this invention 1 pixel was constituted from two or more 1-bit memory and the polarity-reversals circuit was included in 1-bit memory as explained to the detail above, the inverse video of liquid crystal can be performed by simple control.

[0144] Moreover, since two or more 1-bit memory from which area differs is prepared for every color of red-green blue, a gradation display is attained.

[0145] Furthermore, in order to form a subword line, a possibility of writing data in unrelated 1-bit memory disappears, and image quality becomes good.

[0146] Moreover, by the adjoining 1-bit memory, since the data line and a polar control signal are communalized, the number of wiring is reducible.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the outline configuration of 1 operation gestalt of the liquid crystal display concerning this invention.

[Drawing 2] Drawing showing the structure for 1 pixel.

[Drawing 3] Drawing showing the example from which the area of each sub-picture element field differs in each color of RGB.

[Drawing 4] The block diagram showing the circuitry of the pixel array section 1 circumference.

[Drawing 5] The block diagram having shown the circuitry of the memory cell 11 circumference in more detail.

[Drawing 6] The circuit diagram showing the configuration which prepared SRAM and a polarity-reversals circuit for every sub-picture element.

[Drawing 7] The circuit diagram of duplex WORD lineation.

[Drawing 8] Drawing explaining duplex WORD lineation.

[Drawing 9] The circuit diagram showing the example which shares the data line, polar control-line P+, and P-.

[Drawing 10] The block diagram of the display controller who packed VRAM4 and the VRAM controller 5 into the one chip.

[Drawing 11] Drawing showing the example which carries out a level shift with an analog buffer.

[Drawing 12] Drawing showing the example which forms the level shifter 52 changed into the large amplitude in

the latter part side of the analog buffer 51 changed into small-size width of face.

[Drawing 13] The circuit diagram showing an example of a level shifter.

[Drawing 14] Drawing showing the I/O wave of the circuit of drawing 13.

[Drawing 15] The detailed circuit diagram of the analog buffer 51 circumference.

[Drawing 16] The circuit diagram showing the concrete configuration of an analog buffer.

[Drawing 17] Drawing showing the structure of 1-bit memory.

[Drawing 18] The timing chart of DRAM71 structure of drawing 17 C.

[Drawing 19] Drawing which measured power consumption by the case where the whole memory is rewritten, the case where it rewrites per line, and the case where it rewrites by the matrix unit.

[Drawing 20] The block diagram showing the outline configuration of the liquid crystal display at the time of constituting the pixel array section 1 using the 1-bit memory of DRAM71 structure.

[Drawing 21] The block diagram showing the outline configuration of the liquid crystal display at the time of constituting the pixel array section 1 using the memory of DRAM71 structure.

[Drawing 22] Drawing showing the outline configuration of the 1 display pixel in drawing 21.

[Drawing 23] The outline block diagram of the liquid crystal display in drawing 21.

[Drawing 24] Drawing showing the actuation timing of the liquid crystal display in drawing 21.

[Drawing 25] The block diagram showing the outline configuration of other liquid crystal displays at the time of constituting the pixel array section 1 using the memory of DRAM71 structure.

[Drawing 26] The outline sectional view of an EL element.

[Drawing 27] The outline block diagram showing the 2nd operation gestalt of the display concerning this invention.

[Drawing 28] Drawing showing the relation between a frame and a subframe.

[Drawing 29] Drawing showing the relation between a luminescence period and the renewal period of data.

[Description of Notations]

1 Pixel Array Section

2 Three Address decoder

4 Display Memory (VRAM)

5 VRAM Controller

6 CPU

7 Circumference Circuit

11 Memory Cell

12 Data Bus

13 Bit Line Actuation Circuit

14 Word Line Actuation Circuit

15 Train Block Selector

16 Line Block Selector

17 Shift Register

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-175040

(P2002-175040A)

(43)公開日 平成14年6月21日 (2002.6.21)

| | | | |
|--------------------------|-------|--------------|-------------------|
| (51)Int.Cl. ⁷ | 識別記号 | F I | テーマコード(参考) |
| G 09 G 3/20 | 6 4 1 | G 09 G 3/20 | 6 4 1 G 2 H 0 9 2 |
| | 6 1 1 | | 6 1 1 A 2 H 0 9 3 |
| | 6 2 1 | | 6 2 1 B 5 C 0 0 6 |
| | 6 2 4 | | 6 2 4 B 5 C 0 8 0 |
| G 02 F 1/133 | 5 5 0 | G 02 F 1/133 | 5 5 0 5 C 0 9 4 |

審査請求 有 請求項の数24 OL (全25頁) 最終頁に続く

(21)出願番号 特願2001-269356(P2001-269356)
(22)出願日 平成13年9月5日(2001.9.5)
(31)優先権主張番号 特願2000-269177(P2000-269177)
(32)優先日 平成12年9月5日(2000.9.5)
(33)優先権主張国 日本 (JP)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 中村卓
埼玉県深谷市幡羅町一丁目9番地2 株式
会社東芝深谷工場内
(74)代理人 100075812
弁理士 吉武 賢次 (外4名)

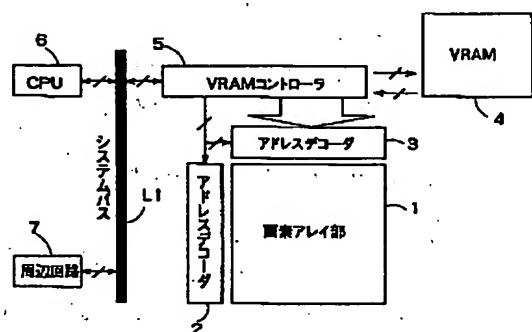
最終頁に続く

(54)【発明の名称】 表示装置及びその駆動方法

(57)【要約】

【課題】 消費電力を低減でき、かつ小型化が可能な液晶表示装置を提供する。

【解決手段】 液晶表示装置は、画素アレイ部1と、アドレスデコーダ2、3と、表示メモリ(VRAM)4と、VRAMコントローラ5とを備えており、システムバス6を介してCPU6および周辺回路7と信号の送受を行う。画素アレイ部1は、複数の1ビットメモリで各画素を構成した面積階調画素構造になっている。画素アレイ部1全体を複数の画素からなる画素ブロックに区分けし、ブロック単位で1ビットメモリの書き換えを行う。1ビットメモリは二重ワード線構造になっている。



(2)

1

【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の表示画素と、この表示画素の行方向に沿って配置される複数本の走査線と、この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、前記表示画素は、前記走査信号に応答して対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素を有し、前記複数の副表示画素は、

一のデータ線と一の走査線とに対応して設けられる第1副表示画素と、前記一のデータ線と他の走査線とに対応して設けられる第2副表示画素と、を含むことを特徴とする表示装置。

【請求項2】前記一の走査線と前記他の一走査線とは互いに隣接して配置され、前記第1及び第2副表示画素は前記一のデータ線を隔てて配置されることを特徴とする請求項1に記載の表示装置。

【請求項3】前記一の走査線と前記他の一走査線とは互いに隣接して配置され、前記第1及び第2副表示画素は、前記一のデータ線と、この一のデータ線と隣接する他のデータ線との間に配置されることを特徴とする請求項1に記載の表示装置。

【請求項4】前記複数の副表示画素は、それぞれ異なる表示面積で形成されることを特徴とする請求項1に記載の表示装置。

【請求項5】前記複数の副表示画素のそれぞれは、前記画素データのビットに対応して設けられ、前記画素データのMSB (Most Significant Bit) 側のビットに対応する副表示画素ほど、表示面積が大きいことを特徴とする請求項4に記載の表示装置。

【請求項6】前記複数の副表示画素それぞれの表示面積の比率は、2のべき乗に設定されることを特徴とする請求項5に記載の表示装置。

【請求項7】前記メモリ部は、SRAMで構成されることを特徴とする請求項1に記載の表示装置。

【請求項8】前記複数の副表示画素は、第1ワード線に接続された第1副表示画素と、第2ワード線に接続された第2副表示画素と、第3ワード線に接続された第3副表示画素と、第4ワード線に接続された第4副表示画素と、を有し、前記第1～第4副表示画素のそれぞれは、1フレーム期

2

間内にそれぞれ一回ずつ所定期間だけ表示されることを特徴とする請求項1に記載の表示装置。

【請求項9】前記第1～第4副表示画素は、それぞれ異なる表示面積で形成されることを特徴とする請求項8に記載の表示装置。

【請求項10】縦横に列設された複数の1ビットメモリからなるメモリセルと、

前記複数の1ビットメモリのそれぞれに対応して設けられる画素電極と、

10 ワード線の論理に応じて、前記データ線と前記1ビットメモリとの接続経路を遮断するか否かを切替制御する接続制御回路と、

極性制御信号に応じて、前記データ線と前記1ビットメモリとの間で送受されるデータの極性を反転するか否かを切替制御する極性反転回路と、を備えることを特徴とする表示装置。

【請求項11】前記1ビットメモリの隣接する複数個で1画素が構成され、

1画素内には、赤色用の少なくとも一つの前記1ビットメモリと、緑色用の少なくとも一つの前記1ビットメモリと、青色用の少なくとも一つの前記1ビットメモリとが設けられることを特徴とする請求項10に記載の表示装置。

【請求項12】前記1ビットメモリの隣接する複数個で1画素が構成され、

1画素内には、赤色用の複数の前記1ビットメモリと、緑色用の複数の前記1ビットメモリと、青色用の複数の前記1ビットメモリとが設けられ、各色の前記複数の1ビットメモリの面積は互いに異なっていることを特徴とする請求項10に記載の表示装置。

【請求項13】縦横に列設された複数の1ビットメモリからなるメモリセルと、

2個以上の所定個の前記1ビットメモリに対応して設けられる画素電極と、複数の第1ワード線および第2ワード線の論理により論理が定まる複数の副ワード線と、を備え、

前記副ワード線のそれぞれには、複数画素分の前記1ビットメモリが接続され、前記副ワード線の論理により、対応する複数画素分の前記1ビットメモリの読み書きが行われることを特徴とする表示装置。

【請求項14】前記副ワード線が列設される第1方向とは異なる第2方向に列設される複数のデータ線と、極性制御信号に応じて、前記データ線と前記1ビットメモリとの間で送受されるデータの極性を反転するか否かを切替制御する極性反転回路と、を備えることを特徴とする請求項13に記載の表示装置。

【請求項15】マトリクス状に配置された複数の表示画素と、

この表示画素の行方向に沿って配置される複数本の走査線と、

50

(3)

3

この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、

前記表示画素は、

前記走査信号に応答して対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素を有し、

前記複数の副表示画素は、

第1データ線に接続されるn (n ≥ 1) 個の第1副表示画素と、

第2データ線に接続される前記n個の第2副表示画素と、を含むことを特徴とする表示装置。

【請求項1.6】前記メモリ部は、DRAMで構成され、前記複数の副表示画素のそれぞれは、1水平走査期間に、複数の分離した点灯期間をもち、各点灯期間はそれぞれ時間長さが異なっていることを特徴とする請求項1.5に記載の表示装置。

【請求項1.7】前記複数の副表示画素それぞれの表示を行うのに同期させて、前記メモリ部のリフレッシュ動作を行うリフレッシュ回路を備えることを特徴とする請求項1.5に記載の表示装置。

【請求項1.8】各画素の各色ごとに、画素データのビット数と同数ずつ設けられる複数の1ビットメモリと、前記複数の1ビットメモリそれぞれの値に応じて点灯または消灯する複数のEL (electroluminescence) 素子と、各画素の各色ごとに一つずつ設けられ、対応する前記1ビットメモリのデータを順に保持する保持回路と、前記保持回路で保持されたデータの論理に応じてオン・オフする駆動用トランジスタと、を備え、前記駆動用トランジスタは、オンのときに、1フレーム期間に画素データのビット数と同数の点灯可能な期間を持ち、これら期間のそれぞれで点灯するか否かを指示する信号を前記EL素子に供給することを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、表示装置に関し、特に、消費電力の低減と回路構成の簡略化を図る技術に関する。

【0002】

【従来の技術】従来、携帯電話を始めとする携帯機器では、モノクロの表示装置を搭載することが多かったが、携帯機器でインターネットに接続する等の機会が増えてきたこともあり、カラーの表示装置を搭載するものが増

(4)

4

えてきた。

【0003】

【発明が解決しようとする課題】カラーの表示装置は、モノクロに比べて消費電力が多いため、携帯機器のバッテリの充電間隔が短くなるという問題がある。また、回路も複雑になるため、小型化が困難になり、コストアップにもなる。特に、小型化を図るには、画素アレイ基板上に駆動回路を一体に形成するのが望ましいが、カラーの場合、駆動回路の構成が複雑になるだけでなく、画素データを格納するメモリの容量も増えるため、画素アレイ基板上に駆動回路を一体に形成するのが技術的に難しい。

【0004】さらに、従来は、表示エリアのすべてを一定の間隔で書き換えていたため、表示解像度が高くなるにつれて画素クロックの周波数を速くする必要があつた。

【0005】このような問題点を解決するものとして、例えば特開2000-227608号公報には、表示内容が変化した水平画素ラインのみ選択走査して表示内容を書き換える技術が開示されている。

【0006】しかしながら、このような水平画素ライン毎の制御では必ずしも通常駆動時に比べて低消費電力化は達成されない。

【0007】本発明は、このような点に鑑みてなされたものであり、その目的は、消費電力を低減でき、かつ小型化が可能な表示装置を提供することにある。

【0008】

【課題を解決するための手段】上述した課題を解決するために、本発明に係る表示装置は、マトリクス状に配置された複数の表示画素と、この表示画素の行方向に沿って配置される複数本の走査線と、この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、前記表示画素は、前記走査信号に応答して対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素を有し、前記複数の副表示画素は、一のデータ線と一の走査線とに対応して設けられる第1副表示画素と、前記一のデータ線と他の走査線とに対応して設けられる第2副表示画素と、を含む。

【0009】

【発明の実施の形態】以下、本発明に係るについて、図面を参照しながら具体的に説明する。

【0010】以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【0011】(第1の実施形態) 図1は本発明に係る表

(4)

5

示装置の第1の実施形態の概略構成を示すブロック図であり、液晶表示装置の構成を示している。

【0012】図1の液晶表示装置は、画素アレイ部1と、アドレスデコーダ2、3と、表示メモリ(VRAM)4と、VRAMコントローラ5とを備えており、システムバスL1を介してCPU6および周辺回路7と信号の送受を行なう。

【0013】画素アレイ部1は、複数の1ビットメモリで各画素を構成した面積階調表示が可能な画素構造になっている。図2は1画素分の構造を示す図である。図示のように、1画素はRGBの各色表示画素ごとにそれぞれ4つの副画素領域で構成され、各領域にはそれぞれ1ビット分のメモリが設けられている。図2は1表示画素が各色ごとに4ビットの表示信号に基づく4つの副画素領域で構成されている例を示しており、最下位ビットをd0、最上位ビットをd3とすると、各画素の画素値は、 $2^0 \cdot d0 + 2^1 \cdot d1 + 2^2 \cdot d2 + 2^3 \cdot d3$ で表される。これにより、各色ごとに、 $2^4 = 16$ 階調の表示が可能となる。

【0014】副画素領域内の各1ビットメモリは、A1やA8等で構成される例えれば反射性を有する画素電極に接続されている。これら反射画素電極の上面には液晶層を挟んで例えれば対向電極が配置されている。

【0015】また、図2では、最下位ビットd0から最上位ビットd3までの各4ビットの面積比が、d0:d1:d2:d3 = 1:2:4:8の例を示している。一般には、各ビットの面積×白色の透過率が2のべき乗になるようになるのが望ましい。なお、1画素を構成する副画素領域は、表示信号のビット数に対応して、例えば6ビットの表示信号であれば所望の面積比率と成るように6副画素領域に分割すればよい。

【0016】各画素を構成する4つの副画素領域の配列は、必ずしも各表示画素内で順番に並んでいる必要はなく、図2Aのように(d0, d3, d1, d2)の順に並んでいてもよく、あるいは、図2Bのように(d0, d1, d2, d3)の順に並んでいてもよい。また、図2Cのように2次元状に並んでいても良く、これはメモリとの接続のしやすさ、カラーフィルタの構造とを考慮し、開口率が最大となるようにするのが望ましい。

【0017】図2ではRGBの各色の表示画素を構成する副表示画素数が等しく、各色の表示階調数が16階調とした場合を示したが、色ごとに表現可能な表示階調数を異ならしめても良い。例えば、図3は、RとBが3ビット、即ち3つの副画素領域で構成され、Gが4ビット、即ち4つの副画素領域で構成されている例を示している。

【0018】図2では各副画素領域の面積がRGBの各色で等しい例を説明したが、各副画素領域の面積がRGBの各色で異なっていてもよい。実際には、最も自然な色合いになるようにRGBのビット数を定めればよい。

6

また、各副画素領域の面積比がRGBの各色で異なっていてもよい。

【0019】図1のVRAMコントローラ5は、CPU6から送られる映像データをVRAM4に書き込み、VRAM4から画素ブロック単位で映像データを取り出し、画素ブロック座標を示すアドレスデータとともにアドレスデコーダ2、3に出力し、アドレスデコーダ2、3は画素アレイ部1の対応する画素ブロックの1ビットメモリに映像データを格納する。

【0020】画素ブロックのサイズは、1フォント描画に要するドット数に略等しい。VRAMコントローラ5は、1ビットメモリをアクセスするための分周用クロックを出力する。また、VRAMコントローラ5は、データ休止期間(プランギング期間)中に中間電位を出力可能である。

【0021】画素アレイ部1は、データ休止期間中に1ビットメモリのリフレッシュ動作および液晶印加電圧の極性反転が行えるように、クロック発生回路を備えている。

【0022】VRAMコントローラ5はシリコンチップで構成され、画素アレイ部1が形成されるガラス基板上に例えればCOG(chip on glass)実装される。あるいは、VRAMコントローラ5とCPU6を一個のシリコンチップにまとめて、ガラス基板上にCOG実装してもよい。さらに、このチップにVRAM4を内蔵してもよい。

【0023】本実施形態は、画素アレイ部1全体を複数の画素からなる二次元マトリクス状の画素ブロックに区分けし、ブロック単位で各画素の1ビットメモリの書き換えを行う点に特徴がある。ブロック単位で書き換えを行うことで、周辺デコーダ回路のビット数を削減でき、回路の実装面積が小さくなる。また、現実問題として、1画素分だけの書き換えを行うことはほとんどなく、通常は数十画素分まとめて書き換えを行うため、ブロック単位で書き換えを行っても、消費電力を浪費するような冗長動作には必ずしもならないですむ。

【0024】さらに、本実施形態では、VRAM4に書き込む単位よりも、VRAM4から読み出す単位を大きくしている。これにより、書き換えが必要な範囲だけVRAM4の書き換えを行うとともに、VRAM4からの高速読み出しが可能になる。

【0025】図1の液晶表示装置の具体例として、画素数が256(×3)×256ドットで、16ドットの文字を表示する場合、画素ブロックは16×16ドットの二次元マトリクス状にし、アドレスデコーダ2、3は4ビットデコーダとし、静止画時は6ビットとし、ポリシリコン発振回路を用いて待機時液晶画素極性反転を行い、外部コントローラは完全休止させる。また、VRAM4、VRAMコントローラ5およびCPU6は一個のチップにまとめ、VRAM4はCPU6の主記憶メモリの一部を用いる。このチップは、画素アレイ部1が形成されるガラス基板上にCOG

(5)

7

実装される。

【0026】図4は画素アレイ部1と、その周辺の回路構成を示すブロック図である。図示のように、画素アレイ部1は二次元マトリクス状に複数のメモリセル(画素ブロック)11に区分され、各メモリセル11は複数の画素で構成されている。メモリセル11を構成する各画素は面積が重み付けされた2並列に配置されるそれぞれ3つの副画素、合計6副画素で構成され、それぞれの副画素にはSRAM構造の1ビットメモリが設けられている。

【0027】1ビットメモリは、等価回路的には、図示のように、例えばトランジスタQ1, Q2とインバータIV1, IV2とで構成されるSRAMであって、データバス12から供給されたデータを保持する。1ビットメモリに保持されたハイレベル電圧またはローレベル電圧を画素電極に印加し、画素電極とコモン電圧との間の電位差を液晶層に印加する構造になっている。

【0028】メモリセル11には、ビット線駆動回路13とワード線駆動回路14とが接続されている。ビット線駆動回路は、データバス12上の画素データをどのビット線に供給するかを選択する列ブロックセレクタ15を有する。また、ワード線駆動回路14は、行ブロックセレクタ16と、シフトレジスタ17とを有する。行ブロックセレクタ16はいずれかのブロックを選択し、選択したブロック内のワード線をシフトレジスタ17が順次駆動する。

【0029】本実施形態では、例えば絶縁基板としてガラス基板上に、低温ポリシリコン技術を利用して画素表示用のトランジスタと駆動回路用のトランジスタを形成する。ところが、低温ポリシリコンで形成されたトランジスタは、シリコンウェハ上に形成される結晶シリコンによるトランジスタに比べて動作速度が遅いため、電圧振幅を大きくする必要がある。このため、ガラス基板の外部から供給されたアドレスデータや映像データはガラス基板上でレベル変換される。

【0030】図5はメモリセル11周辺の回路構成をより詳しく示したブロック図である。図示のように、画素データのレベル変換を行うレベルシフタおよびシリアル-パラレル変換回路(S/P変換回路)21と、バッファ22と、データバッファ23と、行側のアドレスバッファ24および行ブロックデコーダ25と、列側のアドレスバッファ26、列ブロックデコーダ27およびマルチプレクサ28と、同期信号等を生成する制御回路29と、待機時用クロック発生回路30と、クロック切替え回路31と、極性制御回路32とを有する。

【0031】図5のレベルシフタ21でレベルシフトされたデータは、シリアル-パラレル変換回路(S/P変換回路)21で分周される。S/P変換回路21は、データ期間をn倍(nは2以上の自然数)に引き延ばし、後段側のデジタル回路でのタイミングマージンを確保しやす

くする。

【0032】ガラス基板には、映像データと、書き込みを行うブロックを指定するブロックアドレスデータとが入力される。データバス12は本数ができるだけ少ないほど望ましいため、本実施形態では、映像データとブロックアドレスとを同一のバスで伝送するようにしている。具体的には、各ブロックごとに、まずアドレスデータを伝送し、次に映像データを伝送する。アドレスデータは、行/列アドレスバッファ24, 26に保持され、データバスを確定する。また、映像データは、データバス23に蓄えられて所定の順序でマルチプレクサ28を経由して、画素アレイ部1内の信号線に送られる。

【0033】図2のような1ビットメモリを用いて液晶表示を行う場合、待機時も表示を継続しなければならない。ところが、液晶に直流電圧が長期間にわたり印加されると液晶が焼き付け等を起こすため、待機時でも所定期間毎に極性反転動作を行う必要がある。このため、本実施形態では、図5に示すように待機時用クロック発生回路30を設け、待機時には通常よりも緩やかな速度で20極性反転を行う、例えば通常駆動時は1垂直走査周期で待機時は4垂直走査周期で極性反転を行なうようにしている。このような待機時用クロック発生回路30を設けることで、待機時にはシステムクロックを完全に停止させることができ、消費電力の低減が図れる。

【0034】(メモリと極性反転回路の具体例1)図6は表示面積に重み付けの為された副画素ごとにSRAMと極性反転回路を設けた液晶表示装置の構成を示す回路図であり、図6の一点鎖線で囲んだ部分がそれぞれの副画素を示している。各副画素には、ワード線と、極性制御線P+, P-と、データ線とが接続されており、シングルワード線構造である。各副画素は、ワード線の電位によりオン・オフするトランジスタQ3と、極性制御線P+の電位によりオン・オフするトランジスタQ4と、極性制御線P-の電位によりオン・オフするトランジスタQ5と、縦続接続されたインバータIV3, IV4と、を有する。トランジスタQ3とインバータIV3, IV4とでSRAMが構成され、トランジスタQ4, Q5により極性反転回路が構成される。

【0035】図6の回路は比較的簡単であり、行単位または複数行単位のランダムアクセス回路と、また二次元マトリクス状のランダムアクセス回路と組み合わせることにより、常に全面面更新を行う場合より大幅に低消費電力にできるが、誤書き込みが生じやすい、ワード線負荷が大きくなり消費電力が大きくなる、ワード線負荷が大きくなるなどの問題が生じる場合もある。このような問題を回避する手法として、以下に示すような二重ワード線構造を組み合わせることができる。

【0036】(メモリと極性反転回路の具体例2)図7は二重ワード線構造の回路図である。図7の回路は、列50ワード線の電位によりオン・オフするトランジスタQ6

(6)

9

を有する。トランジスタQ6がオンすると、主ワード線の電位が副ワード線に供給される。副ワード線は、行方向に並んだ副画素それぞれに接続されている。例えば、副ワード線がハイレベルのときは、トランジスタQ3がオンするとともに、SRAMのフィードバック経路にあるトランジスタQ7がオフする。このときは、極性制御線P+、P-の電位により、トランジスタQ4、Q5のいずれかがオンする。

【0037】一方、副ワード線がローレベルのときはトランジスタQ7がオンし、SRAM内の後段側のインバータ出力が初段側のインバータの入力に帰還され、データが保持される。

【0038】このように、二重ワード線構造では、更新対象のブロックのみ副ワード線がアクティブになり、それ以外の副ワード線は非アクティブになるため、誤書き込みが起きにくくなる。

【0039】図8は二重ワード線構造を説明する図であり、図8の一点鎖線で囲んだ領域がデータの書き換え単位を示すブロックである。図示のように、主ワード線と列ワード線の電位により、いずれか一つの副ワード線のみがアクティブになる。また、選択されたブロック内の各1ビットメモリは順次駆動される。なお、ブロックの単位となる範囲は特に制限はなく、何ラインにわたってもよい。

【0040】(メモリと極性反転回路の具体例3)図9Aはデータ線と極性制御線P+、P-とを隣接画素で共有する例を示す回路図である。図9の回路は、4つの重み付けされた副画素で一画素を構成し、これにより各画素毎に16階調表示を実現する例であり、4つの副画素は上下左右に2個ずつ配置されており、横方向に隣接する2つの副画素は、データ線を介して配置され、このデータ線を共有している。副画素は、データ線に接続されたトランジスタQ3と、SRAMと、極性反転回路とを有する。SRAMは、トランジスタQ4、Q5およびインバータIV3、IV4とを有し、極性反転回路は、トランジスタQ4、Q5を有する。

【0041】図9の回路は、横方向に隣接する副画素100でデータ線を共有するため、これら2つの副画素100にはそれぞれ別個のワード線を接続する必要がある。すなわち、図7の回路よりもワード線が余計に必要になる。一方、極性制御線P+、P-は、上下方向に配置された4つの副画素100すべてに共通に接続される。

【0042】ところで、図9Aでは、横方向に隣接する2つの副画素100の間にデータ線を配置する例を説明したが、図9Bに示すように、隣接する2つの副画素100の左端(あるいは右端)にデータ線を配置してもよい。

【0043】(ディスプレイコントローラの構成)図1のVRAM4とVRAMコントローラ5はワンチップにまとめら

10

れることが多い。

【0044】図10はVRAM4とVRAMコントローラ5をワンチップにまとめたディスプレイコントローラのブロック図である。図示のディスプレイコントローラは、CPU6とデータの送受信を行うホストインターフェース(ホストI/F)部41と、メモリコントローラ42と、ディスプレイFIFO43と、ルックアップテーブル44と、VRAM4と、書き込み監視回路45と、読み出しブロックアドレス発生回路46と、アドレス変換回路47と、図1のアドレスデコーダ2、3へのデータの受け渡しを行うインターフェース(I/F)部48とを有する。

【0045】書き込み監視回路45は、CPU6がVRAM4の内容を書き換えた否かを監視する。VRAM4の内容が書き換えられると、読み出しブロックアドレス発生回路46は、所定時間内に書き換えられた画素を含む画素ブロック分のアドレスを発生する。

【0046】アドレス変換回路47は、CPU6が指定したVRAM空間のアドレスを表示用のブロックアドレスに変換する。ルックアップテーブル44は、CPU6が指定した色階調データを1ビットメモリ用のデータに変換する。

【0047】(单一データ線メモリへの小振幅書き込み)上述した図7の回路の場合、1ビットメモリにデータを書き込む際に、トランジスタQ7をオフにしてメモリループをカットしている。このような制御により、データ線に送り込むデータの振幅を極小化することができる。この場合のデータの振幅は、インバータIV3、IV4のしきい値ばらつき+ α 程度でよい。例えば、インバータIV3、IV4のしきい値が、素子ばらつきを考慮に入れて $2.5V \pm 0.3V$ とすると、データ線が $2.2V$ 以下の場合にはローレベルと認識され、 $2.8V$ 以上の場合にはハイレベルと認識される。

【0048】そこで、図11に示すように、 $0V-5V$ 振幅のデジタルバッファ50の出力を、アナログバッファ51にて $2V-3V$ 振幅の信号にレベルシフトした後、1ビットメモリ55に供給する。これにより、消費電力の低減が図れる。

【0049】また、1ビットメモリ55内のどこかに容量C1を接続するのが望ましい。このような容量C1を付加することにより、ワード線をオフした後も容量にダイナミックに書き込みレベルが保持されるので、インバータIV3、IV4の遅延が大きくてワード線が活性化している間にインバータループの動作が安定化しなくとも、しばらく後に安定状態に到達できる。なお、容量C1は外付けのものでなくともよく、回路に寄生している容量、液晶容量、または補助容量Csでも有効である。

【0050】さらに、 $0V-5V$ 振幅のデジタルデータを、アナログバッファ51により、 $2V-3V$ あるいは $1V-4V$ の小振幅にすることにより、データ分配用のバス配線で消費される電力を低減できる。アナログバッ

(7)

11

ファの代わりに、信号のロー/ハイに応じて1V-4V電源線をデータ線に接続する簡単な方法も可能であり、特性ばらつきの大きいポリシリコンTFTでアナログバッファを構成するよりも消費電力のロスが小さくなる。

【0051】一方、図5のマルチプレクサなどの論理回路は、比較的大きな振幅で駆動する必要がある。このため、図12に示すように、小振幅に変換するアナログバッファ51の後段側に、大振幅に変換するレベルシフタ52を設ける必要がある。

【0052】図13はレベルシフタ52の一例を示す回路図、図14は図13の回路の入出力波形を示す図である。図14において、300nsecまではスイッチSW1がオンしてスイッチSW2がオフする。このため、図13のコンデンサC2の左側電極は1.65Vになる。また、このとき、インバータ53の入出力端子はスイッチSW3を介して導通状態にあるため、インバータ53の入出力端子はしきい値電圧に略等しい電圧になる。

【0053】300nsec以降はスイッチSW1がオフしてスイッチSW2がオンする。これにより、しきい値ばらつきに応じた電圧に変換する。

【0054】図15はアナログバッファ51周辺の詳細な回路図である。アナログバッファ51の入力端子には、スイッチSW4、SW5が接続され、アナログバッファ51の出力端子にはコンデンサC3を介してインバータ54が接続されている。

【0055】アナログバッファ51は、簡単には図16Aのような2個のトランジスタQ8、Q9で構成される。あるいは、図16Bのように差動増幅回路構成にしてもよい。

【0056】上述した実施形態では、画素アレイ部1内の1ビットメモリをSRAM構造にする例を説明したが、DRAM構造や抵抗負荷型構造にしてもよい。図17は1ビットメモリの構造を示す図であり、図17AはSRAM構造の例、図17Bは抵抗負荷型構造の例、図17CはDRAM構造の例を示している。

【0057】SRAMを構成するインバータのPMOSトランジスタを抵抗に置き換えたものが図17Bの抵抗負荷型構造になる。また、図17Cに示すDRAM構造の場合、点線で示すDRAM部分の他に、リフレッシュと極性反転を行う回路が複数ビットごとに設けられている。

【0058】図18は図17CのDRAM構造のタイミング図である。以下、図に基づいて図17Cの動作を説明する。電源電圧VDDと接地電圧VSSは、その差を5Vに保ちながら、COM電圧に同期して振る。

【0059】まず、データ書き込みの手順を説明する。データ書き込み時は、図17Cのワード線Wiを活性化することで、データが補助容量Csと初段のインバータに印加される。このとき、信号Aがハイレベルのため、トランジスタはオフ状態であり、インバータのループは遮断されている。

12

【0060】次に、ワード線Wiを非活性にして信号Aをローレベルにすると、インバータのループが活性化し、初段のインバータのゲート容量にダイナミックに保持されていた電圧レベルが反転増幅され、所望の電圧レベルになる。

【0061】次に、信号SBiを導通させる。これにより、Csレベルは電源レベルに充電される。その後、ワード線Wiを活性化して、上記の手順を繰り返す。

【0062】一方、データ保持期間中の反転リフレッシュは、以下の手順で行われる。図17Cにおいて、信号SAiを活性化すると、補助容量Csの電圧レベルが初段のインバータのゲートに動的に保持される。信号Aがローレベルになると、インバータのループが活性化し、このループの増幅動作により、保持レベルが電源レベルになる。次に、信号SBiを活性化すると、反転レベルが補助容量Csに書き込まれる。次に、信号SA(I+1)を活性化し、上記の手順を繰り返す。

【0063】なお、データのリフレッシュは、データの書き込みを行わない期間（ブランギング期間）に行われる。

【0064】図19は、メモリ全体を書き換える場合と、行単位で書き換える場合と、行列単位で書き換える場合とで、消費電力を比較した図である。図示のように、消費電力が最も多いのはメモリ全体を書き換える場合で、次に行単位で書き換える場合であり、消費電力が最も少ないのが本実施形態と同様に行列単位で書き換える場合である。

【0065】図20はDRAM構造の1ビットメモリを利用して画素アレイ部1を構成した場合の液晶表示装置の概略構成を示すブロック図である。図20の回路構成は、基本的には図5と同様であるが、画素アレイ部1に反転リフレッシュ回路つきのDRAMが設けられている点で図と異なる。DRAM構造にすることで、SRAM構造よりも回路構成を簡略化でき、消費電力も低減できる。

【0066】以上では、1ビットメモリに記憶された論理レベルに基づく表示を詳しく説明したが、デジタル映像信号をアナログ電圧レベルにD/A変換し、アナログ電圧レベルをデータ線に印加し、液晶容量や、Cs容量に書き込む通常の表示手段も併用できる。各副画素4bitメモリとし、待機表示モードではメモリベースの4bit低消費電力表示、動画表示モードではD/A変換による6-8bit表示にできる。また、本発明における表示層は液晶層に限らず、EL層等であってもよい。

【0067】次に、第1の実施形態の液晶表示装置の好適な具体例について図面を参照して説明する。

【0068】この液晶表示装置は、PDA用に用いられる対角4インチサイズ、総画素数320 (×3) ×480の表示領域を備えた光反射型である。

【0069】図21は、この液晶表示装置の概略構成図、図22は表示画素の概略構成図、および図23は液

(8)

13

晶表示装置の一部概略断面図である。

【0070】この液晶表示装置は、絶縁基板として例えばガラスからなるアレイ基板200上に、表示アレイ部1、一対のYアドレスデコーダ2a, 2b、Xアドレスデコーダ3、および図1中のVRAMコントローラ5の機能の一部を内蔵したインターフェイス部5aとを、例えば多結晶シリコン・トランジスタ(p-Si TFT)により一体的に形成したものである。

【0071】上記したインターフェイス部5aをアレイ基板200上に一体的に形成することで、後述するグラフィック・コントローラIC5bの出力ピン数を低減でき、これによりグラフィック・コントローラIC5bを低廉化できることは勿論であるが、更に後述するがグラフィック・コントローラIC5b動作を停止させることができ、これにより一層の低消費電力化が達成される。

【0072】この他、アレイ基板200上には、図1中のVRAMコントローラ5の機能の一部と表示メモリ(VRAM)4とを1パッケージにまとめたグラフィック・コントローラIC5bと、DC/DCコンバータ等の電源回路を内蔵した電源IC8とがCOG(chip on glass)により実装されている。

【0073】グラフィック・コントローラIC5bはシステムバスL1に直接接続されている。電源IC8は図示しない外部電源に接続され、3Vの駆動電圧VDDおよびグランド電圧VSSの供給を受ける。

【0074】表示アレイ部1は、上述したように総画素数320(x3)×480で構成され、表示領域の左右で2分割され、また上下で4分割された160(x3)×120画素からなる8ブロック(A1~4, B1~4)に区分される。表示アレイ部1内の左ブロック(A1~4)はYアドレスデコーダ2aによって制御され、右ブロック(B1~4)はYアドレスデコーダ2bによって制御される。

【0075】表示アレイ部1を構成する各表示画素は、図22に示すように、面積比率が2:1の副表示画素電極81a, 81bをそれぞれ備えている。第1の副表示画素電極81aと対向電極Vcomとの間には液晶容量CLcaが形成され、第2の副表示画素電極81bと対向電極Vcomとの間には液晶容量CLcbが形成される。

【0076】第1副画素電極81aに対応して、3ビット分の画素データDATAを記憶するDRAM71a-1, 71a-2, 71a-3と、各DRAM71a-1, 71a-2, 71a-3に対応して設けられる転送用TFT72a-1, 72a-2, 72a-3と、各DRAM71a-1, 71a-2, 71a-3に対して共通に設けられるリフレッシュ回路73aと、第1副画素電極81aとリフレッシュ回路73aとの間に配置される極性反転回路77aとが設けられる。

【0077】また、第1副画素電極81aの1/2の面積をもつ第2副画素電極81bに対応して、3ビット分の画素データを記憶するDRAM71b-1, 71b-2, 71

14

b-3と、各DRAM71b-1, 71b-2, 71b-3に対応して設けられる転送用TFT72b-1, 72b-2, 72b-3と、各DRAM71b-1, 71b-2, 71b-3に対して共通に設けられるリフレッシュ回路73bと、極性反転回路77bとが設けられる。

【0078】また、第1副表示画素電極81aと第2副表示画素電極81bとの間には、液晶容量CLca、CLcbに保持された電荷を放電させるディスチャージ回路78が設けられている。

【0079】DRAM71a-1, 71a-2, 71a-3, 71b-1, 71b-2, 71b-3のそれぞれは、サンプリングトランジスタSTR1~STR5と容量Cs0~Cs5とを有する。

【0080】リフレッシュ回路73a, 73bは、0V(Vss)および5V(Vdd)の電圧ラインに接続され、直列接続された2つのインバータIV1, IV2と、初段のインバータIV1の入力端子と後段のインバータIV2の出力端子との間に接続された帰還TFT76a, 76bとを有する。そして、前段のインバータIV1の出力端子および後段のインバータIV2の出力端子は極性反転回路77に接続されている。

【0081】次に、図21の液晶表示装置の動作について説明する。

【0082】図21の液晶表示装置は、面積階調(各表示画は2副表示画素電極81a, 81bで構成される)とパルス幅変調(1フレーム期間に点灯時間の異なる3つのサブフレーム期間を設け、各サブフレーム(第1~第3表示)期間の点灯時間の比率を、1:2:4とする)とを組み合わせた駆動により、6ビット映像データに基づく64階調表示を実現するものである。

【0083】各表示画素はメモリとしてDRAMを備えているため、静止画等を表示する際には周辺駆動回路の動作を停止させることができ、低消費電力化が可能になる。また、表示領域の8ブロックの独立制御により、表示画面の部分的な書換えが可能になるため、周辺駆動回路の動作を部分的に停止させることができ、より一層の低消費電力化が可能になる。

【0084】詳しくは、グラフィック・コントローラICは、グラフィック・コントローラIC内のフレームメモリの更新がない期間には電源IC8に休止信号SHUTを出力し、これに基づいて電源IC8は一部のブロックの電源供給を停止して低消費電力化を図る。

【0085】まず、グラフィック・コントローラICに映像データdataの入力がない場合について説明する。

【0086】従来の液晶表示装置では、グラフィック・コントローラICに映像データdataの入力がない場合であっても、グラフィック・コントローラICは常に1フレーム分の画素データを出力していたが、この実施例の液晶表示装置では各画素がメモリを内蔵しているため、グラフィック・コントローラICからの一切の映像データdataの出力を停止させることができる。また、これに

(9)

15

伴いXアドレスデコーダの動作も停止させることがで
き、更に一部電源の出力も停止させることにより低消費
電力化が達成される。

【0087】図24はこの表示画素の1フレーム期間内の表示タイミングを示す図である。図24を参照して、例えばA2ブロック内の一表示画素の表示を例にとって説明する。

【0088】まず、時刻t1～t2の間では、DRAM71b-1の容量Cs0にデータ線Xnbを介して0ビット目のデータ（例えば、“0”）が保持されるとともに、DRAM71a-1の容量Cs3にデータ線Xnaを介して3ビット目のデータ（例えば“1”）が保持される。

【0089】その後、時刻t2～t3（第1表示期間）では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには5V(Vdd)の電圧が、第2副表示画素電極81bには0V(Vss)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内（時刻t2～t3）は、第1副表示画素電極81aに対応する領域は光が透過し、第2副表示画素電極81bに対応する領域は光が遮断する。

【0090】その後、時刻t3～t4の間では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a, 81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca, CLcbに保持されている電荷はいったん放電される。また、DRAM71b-2の容量Cs1にデータ線Xnbを介して1ビット目のデータ（例えば“1”）が保持されるとともに、DRAM71a-2の容量Cs4にデータ線Xnaを介して4ビット目のデータ（“0”）が保持される。

【0091】その後、時刻t4～t5（第2表示期間）では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには0V(Vss)の電圧が、第2副表示画素電極81bには5V(Vdd)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は第1表示期間と同様に0Vに設定されており、これにより第1表示期間内（時刻t2～t3）は、第1副表示画素電極81aに対応する領域は光が遮断し、第2副表示画素電極81bに対応する領域は光が透過する。

【0092】その後、時刻t5～t6の間では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a, 81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca, CLcbに保持されている電荷はいったん放電される。また、DRAM71b-3の容量Cs2にデータ線Xnbを介して1ビット目のデータ（例えば“1”）が保持されるとともに、DRAM71a-3の容量Cs5にデータ線Xnaを介して4ビット目のデータ（“0”）が保持される。

(9)

16

【0093】その後、時刻t6～t7（第3表示期間）では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには5V(Vdd)の電圧が、第2副表示画素電極81bには0V(Vss)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内（時刻t2～t3）は、第1副表示画素電極81aに対応する領域は光が透過し、第2副表示画素電極81bに対応する領域は光が遮断する。

【0094】このように、本実施例では、面積階調を実現するための2つの副表示画素電極81a, 81bと、パルス幅変調を実現するための1フレーム期間内の第1～第3表示期間（第1～第3表示期間の点灯時間の比率は1:2:4）とを組み合わせた駆動により、6ビット映像データに基づく64階調表示が実現される。

【0095】尚、次フレーム期間においては、極性反転回路77に入力される極性信号PolAはローレベル、PolBはハイレベルに設定され、かつ対向電極の電圧は5Vに設定されるため、同一の表示状態を維持しつつ、液晶に印加される電圧極性を反転することができ、焼き付け防止が図れる。

【0096】以上のように、図21の液晶表示装置では、グラフィック・コントローラICに映像データdataの入力がない場合にXアドレスデコーダの動作を完全に停止させ、内蔵されるDRAMに保持された画素データDATAにより表示を維持することができる。

【0097】次に、上記の表示状態が続いた後に、グラフィック・コントローラICに映像データdataが入力された場合（表示領域内のA1ブロックの一部の表示が変更がある場合）について説明する。

【0098】グラフィック・コントローラICには、CPU6（図1参照）からシステムバスL1を介してシステムクロックSYSCLKと共に、映像データdataおよびこの映像データdataのアドレスデータadrsが入力される。グラフィック・コントローラICは、このアドレスデータadrsに基づいてグラフィック・コントローラIC内のフレームメモリを順次更新する。

【0099】グラフィック・コントローラICは、入力されるシステムクロックSYSCLKに基づいてXアドレスデコーダ3を制御するXクロックXCLKとXスタートXSTを出力するとともに、Yアドレスデコーダを制御するYスタートYSTをインターフェイス部5aに出力する。また、グラフィック・コントローラICは、更新された映像データdataに対応したA1ブロックの画素データDATAおよびA1ブロックの座標を指すアドレスデータADRSをインターフェイス部5aに出力する。

【0100】インターフェイス部5aは、入力されるXクロックXCLKに基づいてYクロックYCLKを生成し、このYクロックYCLKおよびYスタートYSTをYアドレスデコ

50

(10)

17

一ダ2a, 2bに出力し、またXクロックXCLKおよびXスタートXSTをXアドレスデコーダ3に出力する。更にインターフェイス部5aは、入力されるブロック単位の画素データDATAおよびアドレスデータADRSに基づき、YアドレスデータYADRSをYアドレスデコーダ2a, 2bに出力すると共に、画素データDATAおよびXアドレスデータXADRSをXアドレスデコーダ3に出力する。

【0101】Xアドレスデコーダ3は、入力される画素データDATAおよびXアドレスデータXADRSに基づいてH/2期間でA2ブロックの一水平画素ラインに対応したデータをサンプリング回路SPでサンプリングし、データラッチDLで画素データDATAを保持する。そして、データ線ドライバXDR、データ線選択スイッチXSWを介してA2ブロックに対応するデータ線Xna, Xnbに、対応する画素データDATAを各ビット順に順次出力する。

【0102】Yアドレスデコーダ2a, 2bのデコード部DCは、入力されるYアドレスデータYADRSに基づいてA2ブロックに対応する制御部2Lのみをアクティブとし、制御部2Lは対応画素に信号(A, W1~W3, SA1~SA3, PolA, PolB)を出力する。

【0103】図24に示すA2ブロックのタイミングでXアドレスデコーダ3からA2ブロックに対応するデータ線Xna, Xnbに6ビットの画素データDATAが順次供給される。また、Yアドレスデコーダ2aからサンプリングパルスW1が順次供給され、これにより、まず、6ビットDATAの0ビット目がDRAM71b-1の容量Cs0に保持されるとともに、3bitがDRAM71a-1の容量Cs3に保持される。次にサンプリングパルスW2が供給された時点で、6ビットDATAの1ビット目がDRAM71a-2の容量Cs1に保持され、4bit目がDRAM71b-2の容量Cs4に保持される。次にサンプリングパルスW3が供給された時点で、6ビットDATAの2bit目がDRAM71b-3の容量Cs2に保持され、5bit目がDRAM71a-3の容量Cs5に保持される。

【0104】例えば、先の表示状態と異なり、DRAM71b-1, 71b-2, 71b-3, 71b-1, 71b-2, 71b-3の容量Cs0に0bit目のデータ"1"が、容量Cs1に1bit目のデータ"0"が、容量Cs2に2bit目のデータ"1"が、容量Cs3に3bit目のデータ"0"が、容量Cs4に4bit目のデータ"1"が、容量Cs5に5bit目のデータ"0"が保持されるものとする。

【0105】なお、本実施例の構成によれば、各DRAM71a-1~71b-3と副表示画素電極81a, 81bに電流供給するリフレッシュ回路73a, 73bとはサンプリング動作時に転送用トランジスタ72a-1~72b-3により電気的に切り離されるため、表示動作と独立してサンプリング動作を行うことが可能である。したがって、表示動作を行うのと同時にDRAM71a-1~71b-3のリフレッシュを行うことができ、リフレッシュ期間を他に設ける必要がなくなる。

【0106】図24に示す0, 3bit目のロード期間で、

18

転送パルスSA1により転送用トランジスタ72a-1, 72b-1は導通される。

【0107】例えば、第1表示期間(図24の時刻t2~t3)では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには0V(Vss)の電圧が、第2副表示画素電極81bには5V(Vdd)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内は、第1副表示画素電極81aに対応する領域は光が遮断し、第2副表示画素電極81bに対応する領域は光が透過する。

【0108】その後、図24の時刻t3~t4では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a, 81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca, CLcbに保持されている電荷はいったん放電される。また、DRAM71b-2の容量Cs1にデータ線Xnbを介して1ビット目のデータ(例えば"1")が保持されるとともに、DRAM71a-2の容量Cs4にデータ線Xnaを介して4ビット目のデータ("0")が保持される。

【0109】その後、時刻t4~t5(第2表示期間)では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには5V(Vdd)の電圧が、第2副表示画素電極81bには0V(Vss)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は第1表示期間と同様に0Vに設定されており、これにより第1表示期間内(時刻t2~t3)は、第1副表示画素電極81aに対応する領域は光が透過し、第2副表示画素電極81bに対応する領域は光が遮断する。

【0110】その後、時刻t5~t6の間では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a, 81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca, CLcbに保持されている電荷はいったん放電される。また、DRAM71b-3の容量Cs2にデータ線Xnbを介して1ビット目のデータ(例えば"1")が保持されるとともに、DRAM71a-3の容量Cs5にデータ線Xnaを介して4ビット目のデータ("0")が保持される。

【0111】その後、時刻t6~t7(第3表示期間)では、極性反転回路77に入力される極性信号PolAがハイレベル、PolBがローレベルに設定され、第1副表示画素電極81aには0V(Vss)の電圧が、第2副表示画素電極81bには5V(Vdd)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内(時刻t2~t3)は、第1副表示画素電極81aに対応する領域は光が遮断し、第2副表示画素電極81bに対応する領域は光が透過する。

【0112】尚、データ入力のなかった他のブロック

(11)

19

は、上述したように、DRAMに保持されている画素データに基づいて表示が維持される。

【0113】上述したように、本実施例の液晶表示装置によれば、内蔵6ビットメモリと、面積階調（各表示画素を2副表示画素電極81a, 81bで構成）と、パルス幅変調（1フレーム間に点灯時間の異なる3つのサブフレーム期間を設け、各サブフレーム（第1～第3表示）期間の点灯時間の比率を、1:2:4とする）とを組み合わせた構成により、静止画表示時にはXアドレスデコーダの動作を完全に停止させつつ、内蔵6ビットメモリにより64階調表示を実現することができ、消費電力を大幅に削減することができる。

【0114】また、表示領域を2次元的に複数のブロックに区分し、それぞれ独立制御可能にしたこと、部分的な領域の書換えも最小限の回路動作に留めて実現でき、消費電力を大幅に削減することができる。

【0115】この実施例では、液晶に印加される電圧の極性を1フレーム期間毎に反転させることで焼き付きによる表示品位の低下を防止したが、消費電力は増大するもののフリッカを低減させるために1フレームに限らず、1水平画素ライン毎、あるいは複数水平画素ライン毎であってもかまわない。

【0116】また、この実施例では対向電極の電位をフレーム周期で変動させる、所謂コモン反転駆動を用いることで、インバータへ入力される電源電圧を2つに抑えることができ、アレイ基板の構成を簡略化が達成された。

【0117】ところで、上記の実施例では、Yアドレスデコーダを画素アレイ部1の左右に配置することで左右方向に2分割することを実現したが、この他にも例えば図25に示すように列ワード線駆動回路を配置することで、左右方向での分割数に制限がなく、より細かくブロック区分することが可能となる。即ち、先の実施例ではYアドレスデコーダの指定で対応ブロックが一義的に決定されたが、この実施例ではYアドレスデコーダと列ワード線駆動回路とのそれぞれの指定により対応ブロックが決定されることとなる。

【0118】図21の液晶表示装置の構成について、図23を参照して補足する。それぞれの回路ブロック等を構成するTFTは、ガラスからなる絶縁基板100上に多結晶シリコン（p-Si）101を活性層として形成され、NチャネルTFTはリーコ電流を低減するためにLDD構造が採用されている。多結晶シリコン（p-Si）101上には酸化シリコン膜からなるゲート絶縁膜102が配置され、この上にMoW合金等からなるゲート電極103が配置されている。そして、この上に酸化シリコン膜からなる層間絶縁膜104を介して多結晶シリコン（p-Si）101に電気的に接続されるソースおよびドレイン電極105, 106が配置されている。更にこの上にアクリル樹脂などからなる層間絶縁膜104が約3μmの膜厚で配置され、この上にA1とITO等の透明電極との積層体からなる反射性の画素電極108が配置されている。

(11)

20

mの膜厚で配置され、この上にA1からなる反射電極で画素電極107が配置されてアレイ基板99は構成されている。

【0119】このアレイ基板99に対向する対向基板110は、ガラス基板上にCr等の金属、あるいは黒色樹脂からなる遮光膜111が配置され、遮光膜111間に赤、青、緑のカラーフィルタ112が配置され、この上にITO等の透明電極からなる対向電極113が配置されて構成されている。

【0120】そして、アレイ基板99と対向基板113との間には配向膜114, 115を介して液晶層116が保持され、更に対向基板113上には偏光板117が配置されて構成されている。

【0121】液晶層116としては、ツイスト・ネマチック液晶等の他に、応答性に優れた強誘電性液晶、OCB液晶等が好適に使用される。

【0122】また、液晶の表示モードとしては、上述した反射型の他に、透過型であってもよく、また反射電極に開口が形成された反射と透過を兼用する反射・透過型、更にはコレステリック液晶等の選択反射膜を用いた半透過型等、種々の表示モードに適用することができる。

【0123】（第2の実施形態）第2の実施形態は、表示素子としてEL（electroluminescence）素子を用いた例である。

【0124】このEL素子は、図26に示すようにガラスからなる絶縁基板100上に多結晶シリコン（p-Si）を活性層131として形成され、NチャネルTFTはリーコ電流を低減するためにLDD構造が採用されている。多結晶シリコン（p-Si）上には酸化シリコン膜からなるゲート絶縁膜132が配置され、この上にMoW合金等からなるゲート電極133が配置されている。そして、この上に酸化シリコン膜からなる層間絶縁膜134を介して多結晶シリコン（p-Si）に電気的に接続されるソースおよびドレイン電極135, 136が配置されている。更にこの上にアクリル樹脂などからなる層間絶縁膜137が約3μmの膜厚で配置され、この上にA1とITO等の透明電極との積層体からなる反射性の画素電極138が配置されている。

【0125】そして、画素電極を区画するために画素電極間にはアクリル系黒色樹脂からなる画素分離用隔壁139が配置され、画素分離用隔壁139に区画された画素電極上に高分子イオンコンプレックスからなるホール注入層140が配置されている。更にホール注入層140上には、各画素に対応した共役ポリマーからなる発光層141が配置され、この上に薄膜アルカリ土類金属とITO等の透明電極との積層体からなるカソード電極142が配置されて構成されている。

【0126】ホール注入層140や発光層141としては、上記した高分子材料はインクジェット塗布により形

(12)

21

成可能であるため生産性が高く好適であるが、この発明はこれに限られるものではなく各種低分子材料も好適に使用可能である。

【0127】図27は、このEL素子の概略構成図であり、EL表示装置の1画素分の構成を示している。図示のように、赤(R)色用、緑(G)色用、および青(B)色用の3つのブロックで構成される。各ブロック内には、画素データを記憶するDRAM71と、転送用TFT72と、リフレッシュ回路73と、駆動用TFT74と、EL素子75とが設けられる。

【0128】DRAM71と転送用TFT72は画素データのビット数分だけ設けられる。例えば、図27は6個のDRAM71と転送用TFT72を備えており、 $2^6 = 64$ 階調の表示が可能である。

【0129】リフレッシュ回路73は、直列接続された2つのインバータIV3、IV4と、初段のインバータIV3の入力端子と後段のインバータIV4の出力端子との間に接続された帰還TFT76とを有する。後段のインバータIV4の出力端子は、駆動用TFT74のゲート端子に接続され、駆動用TFT74のソース端子にはEL素子75が接続されている。

【0130】リフレッシュ回路73には、6つのDRAM71と転送用TFT72が並列に接続されており、転送用TFT72のいずれかがオンすると、対応するDRAM71のデータが読み出されてリフレッシュ回路73に入力される。

【0131】図27のEL表示装置は、EL素子75の点灯期間を制御することにより、階調表示を実現している。例えば64階調表示を行う場合、図28に示すように、1フレーム期間に点灯時間の異なる6つのサブフレーム期間を設け、各サブフレーム期間の点灯時間(同図の黒部分)の比率を、1:2:4:8:16:32にする。そして、画素データの値に応じて、各サブフレーム期間内にEL素子75を点灯させるか否かを決定する。

【0132】図28Aは画素データ(1,1,1,1,1,1)の画素の場合を例として、該画素のEL素子が実際に点灯する期間を1フレームにわたり図示したものである。同図の黒で示した期間に実際に該画素のEL素子部が発光する。図28Bは画素データ(1,0,1,0,1,1)の画素の場合を例として、該画素のEL素子が実際に点灯する期間を1フレームにわたり図示したものである。

【0133】以下、図27のEL表示装置の動作を説明する。まず、ワード線Wi~W(i+5)を順にオンした状態で、ビット線にデータを順に供給することにより、DRAM71への画素データの書き込みが行われる。

【0134】DRAM71へのデータ書き込みが終了すると、制御線SAi~SA(i+5)を制御することにより、6つの転送用TFT72を一つずつ順にオンさせる。より具体的には、サブフレーム期間ごとに、転送用TFT72を順に交互にオンさせる。

22

【0135】これにより、オンした転送用TFT72に接続されたDRAM71のデータが順にリフレッシュ回路73に入力される。この時点では、制御線Aはハイレベルであり、帰還TFT76はオフしている。

【0136】次に、制御線Aをローレベルにして帰還TFT76をオンさせる。これにより、リフレッシュ回路73でリフレッシュ動作が行われる。

【0137】一方、電源供給線には、図28Aと同周期の図28Cのような電圧パルスが供給される。したがって、リフレッシュ回路73の出力がハイレベルであれば、駆動用TFT74がオンし、図28Aの黒色期間の間、EL素子75が点灯する。

【0138】DRAM71に画素データを書き込むタイミングとEL素子75の発光タイミングは、一通りだけではなく、複数通りが考えられる。例えば、図29AはEL素子75の発光期間とは別個にDRAM71のデータ更新期間を設ける場合のタイミング図を示している。

【0139】また、図29BはEL素子75の発光期間の一部をDRAM71のデータ更新に利用する例を示している。発光期間中にデータの更新を行うには、例えば、転送用TFT72や帰還TFT76をオフすればよい。

【0140】また、図29CはEL素子75の発行機間とDRAM71のデータ更新とをほぼ同タイミングで行なう例を示している。この場合は、リフレッシュ動作が終わるとすぐに転送用TFT72をオフしてDRAM71とリフレッシュ回路73とを分離してDRAM71のデータ更新を行なえばよい。さらに、次のようにすると、発光期間とは全く独立にメモリ更新をすることが可能となる。即ち、転送用TFT72によりDRAM71の電圧をリフレッシュ回路に送っている最中であっても、ワード線Wiが活性化したら必ずSAiをローレベルにするロジックを定める。発光シーケンスとメモリ更新シーケンスを全く独立な周期で定めることができる。本発明のような構成ならばこそ可能となる。

【0141】図29Aよりも図29Bの方が発光期間を長くでき、また、図29Bよりも図29Cの方が発光期間を長くできる。一般には、発光期間が長い方が消費電力を低減できる。

【0142】本実施形態では、DRAMリフレッシュ回路として二つのインバータの入出力をループ上に接続するものを用いたが、DRAM71の論理レベルを増幅する機能を有した回路であれば他にも種々変形が可能である。

【0143】

【発明の効果】以上詳細に説明したように、本発明によれば、複数の1ビットメモリで1画素を構成し、1ビットメモリに極性反転回路を組み込んだため、簡易な制御で液晶の反転表示を行うことができる。

【0144】また、赤緑青の各色ごとに、面積の異なる複数の1ビットメモリを設けるため、階調表示が可能になる。

(13)

23

【0145】さらに、副ワード線を設けるため、無関係な1ビットメモリにデータを書き込むおそれがなくなる、画質がよくなる。

【0146】また、隣接する1ビットメモリで、データ線および極性制御信号を共通化するため、配線数を削減できる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の一実施形態の概略構成を示すブロック図。

【図2】1画素分の構造を示す図。

【図3】各副画素領域の面積がR G Bの各色で異なる例を示す図。

【図4】画素アレイ部1周辺の回路構成を示すブロック図。

【図5】メモリセル1周辺の回路構成をより詳しく示したブロック図。

【図6】副画素ごとにSRAMと極性反転回路を設けた構成を示す回路図。

【図7】二重ワード線構造の回路図。

【図8】二重ワード線構造を説明する図。

【図9】データ線と極性制御線P+, P-を共有する例を示す回路図。

【図10】VRAM4とVRAMコントローラ5をワンチップにまとめたディスプレイコントローラのブロック図。

【図11】アナログバッファでレベルシフトする例を示す図。

【図12】小振幅に変換するアナログバッファ51の後段側に、大振幅に変換するレベルシフタ52を設ける例を示す図。

【図13】レベルシフタの一例を示す回路図。

【図14】図13の回路の入出力波形を示す図。

【図15】アナログバッファ51周辺の詳細な回路図。

【図16】アナログバッファの具体的構成を示す回路図。

【図17】1ビットメモリの構造を示す図。

【図18】図17CのDRAM71構造のタイミング図。

【図19】メモリ全体を書き換える場合と、行単位で書

き換える場合と、行列単位で書き換える場合とで、消費電力を比較した図。

【図20】DRAM71構造の1ビットメモリを利用して画素アレイ部1を構成した場合の液晶表示装置の概略構成を示すブロック図。

【図21】DRAM71構造のメモリを利用して画素アレイ部1を構成した場合の液晶表示装置の概略構成を示すブロック図。

【図22】図21における一表示画素の概略構成を示す図。

【図23】図21における液晶表示装置の概略構成図。

【図24】図21における液晶表示装置の駆動タイミングを示す図。

【図25】DRAM71構造のメモリを利用して画素アレイ部1を構成した場合の他の液晶表示装置の概略構成を示すブロック図。

【図26】EL素子の概略断面図。

【図27】本発明に係る表示装置の第2の実施形態を示す概略構成図。

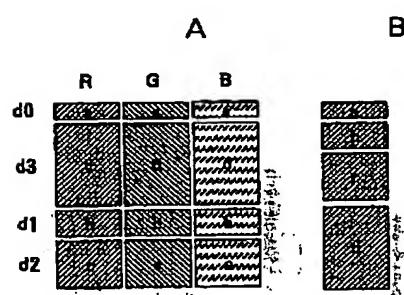
【図28】フレームとサブフレームとの関係を示す図。

【図29】発光期間とデータ更新期間との関係を示す図。

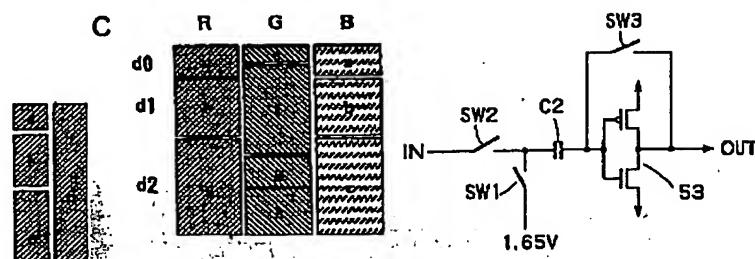
【符号の説明】

- 1 画素アレイ部
- 2, 3 アドレスデコーダ
- 4 表示メモリ (VRAM)
- 5 VRAMコントローラ
- 6 CPU
- 7 周辺回路
- 11 メモリセル
- 12 データバス
- 13 ビット線駆動回路
- 14 ワード線駆動回路
- 15 列ブロックセレクタ
- 16 行ブロックセレクタ
- 17 シフトレジスタ

【図2】



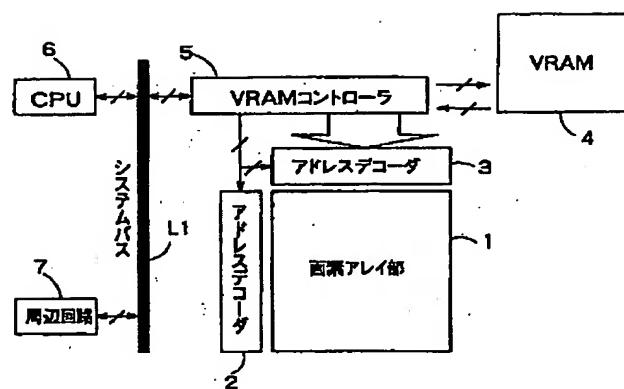
【図3】



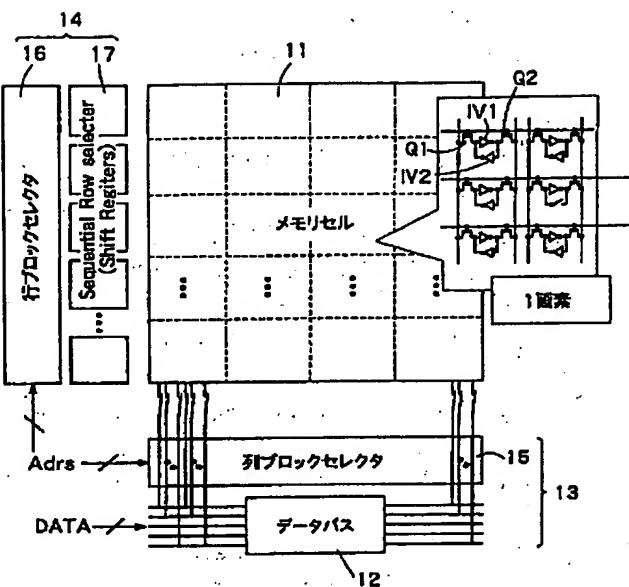
【図13】

(14)

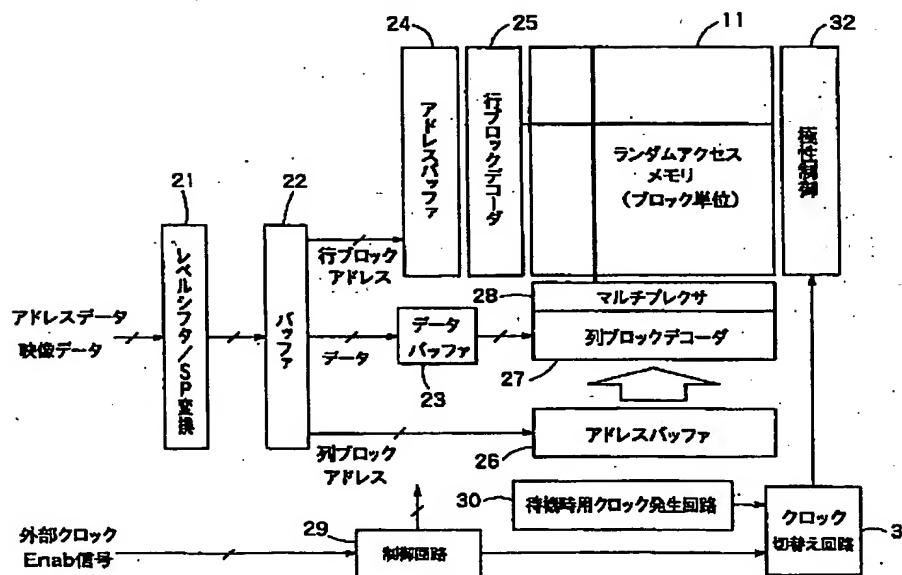
【図1】



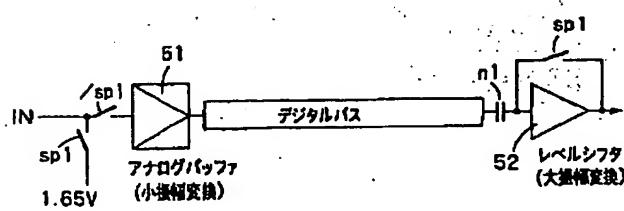
【図4】



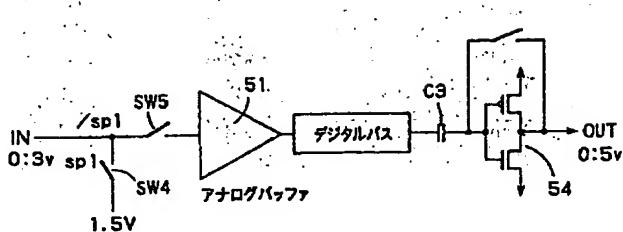
【図5】



【図12】

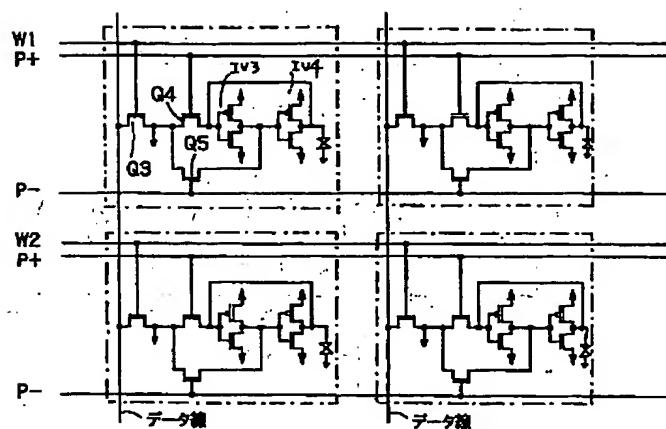


【図15】

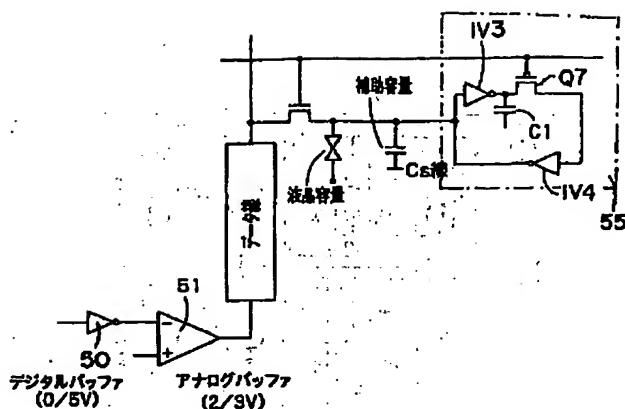


(15)

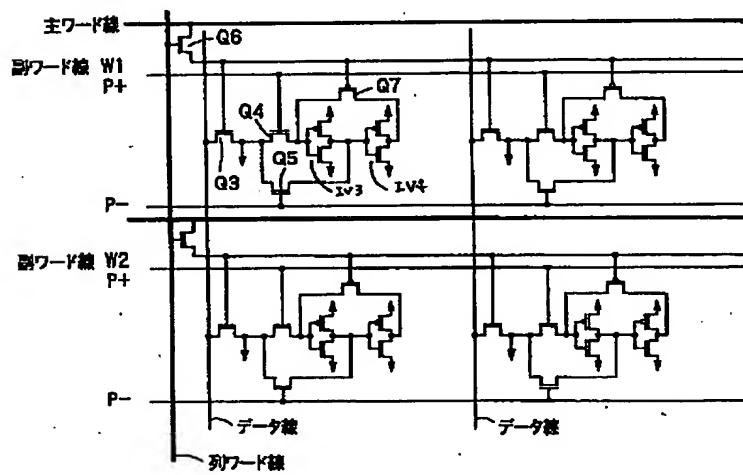
【図6】



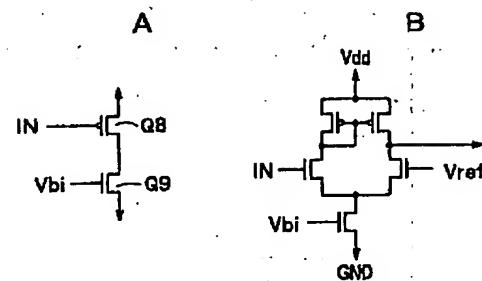
【図11】



【図7】

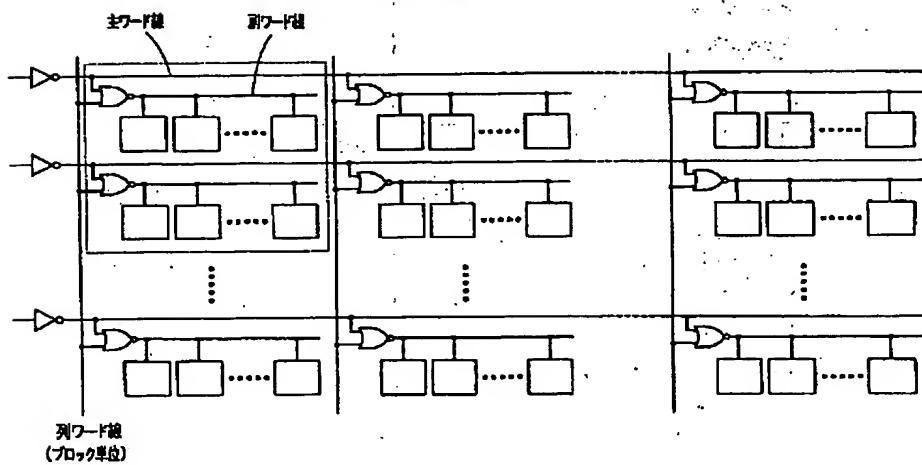


【図16】



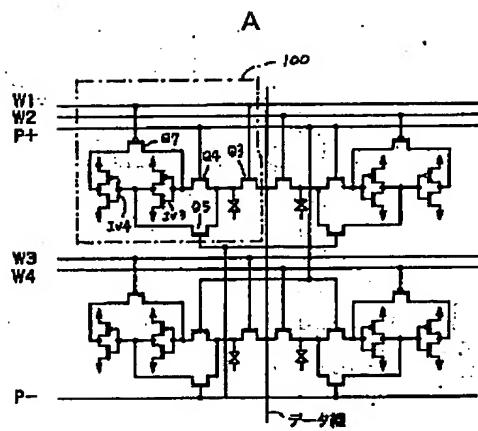
【図8】

2重ワード線構造

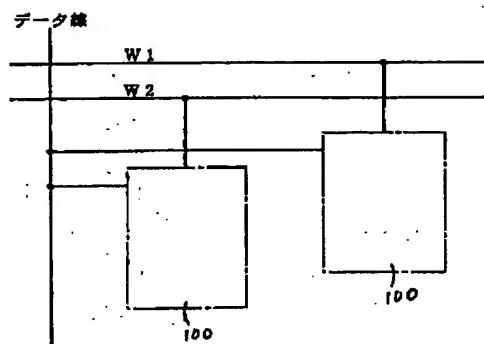


(16)

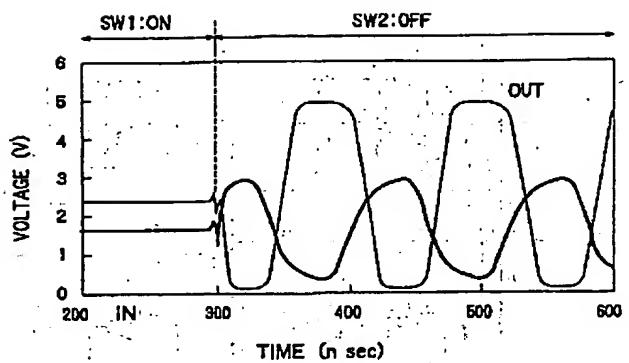
【図9】



B

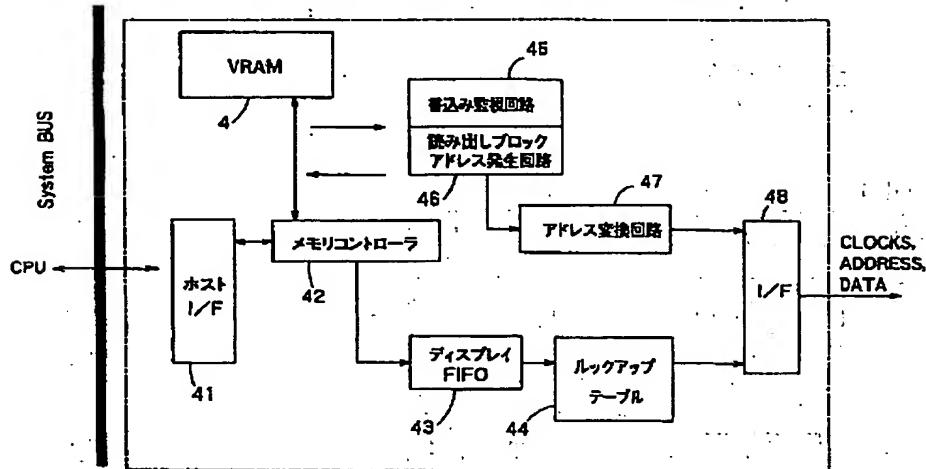


【図14】



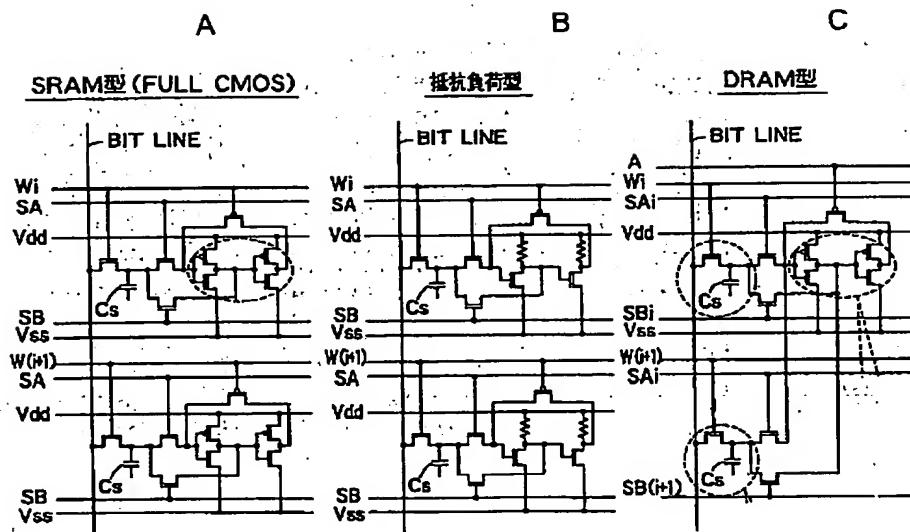
【図10】

ディスプレイコントローラの機能ブロック図

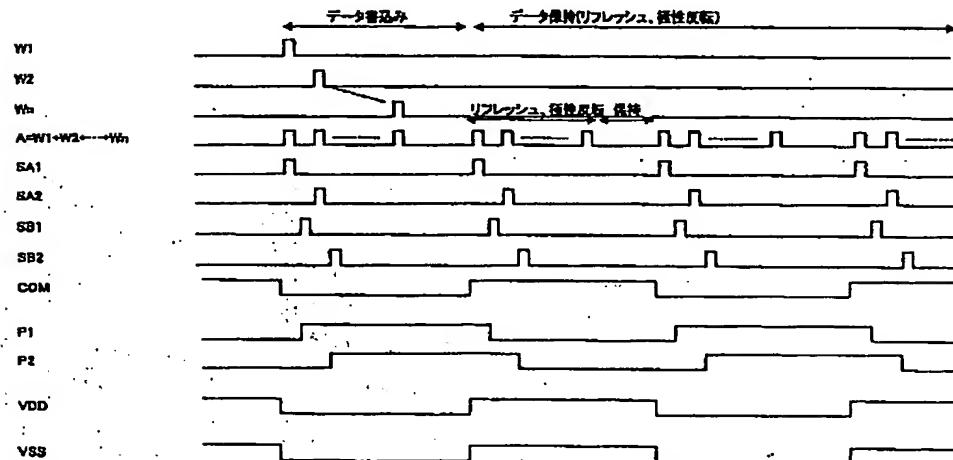


(17)

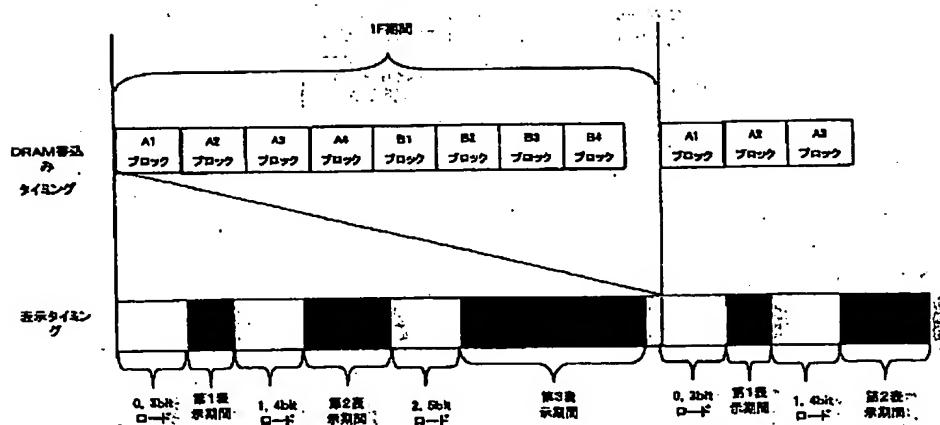
【図17】



【図18】

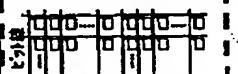
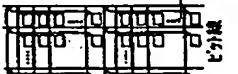


【図24】

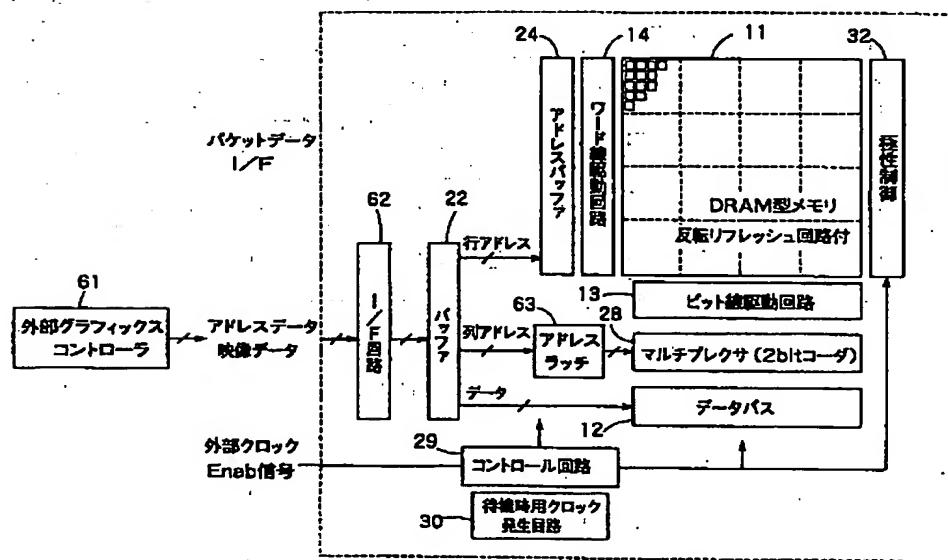


(18)

【図19】

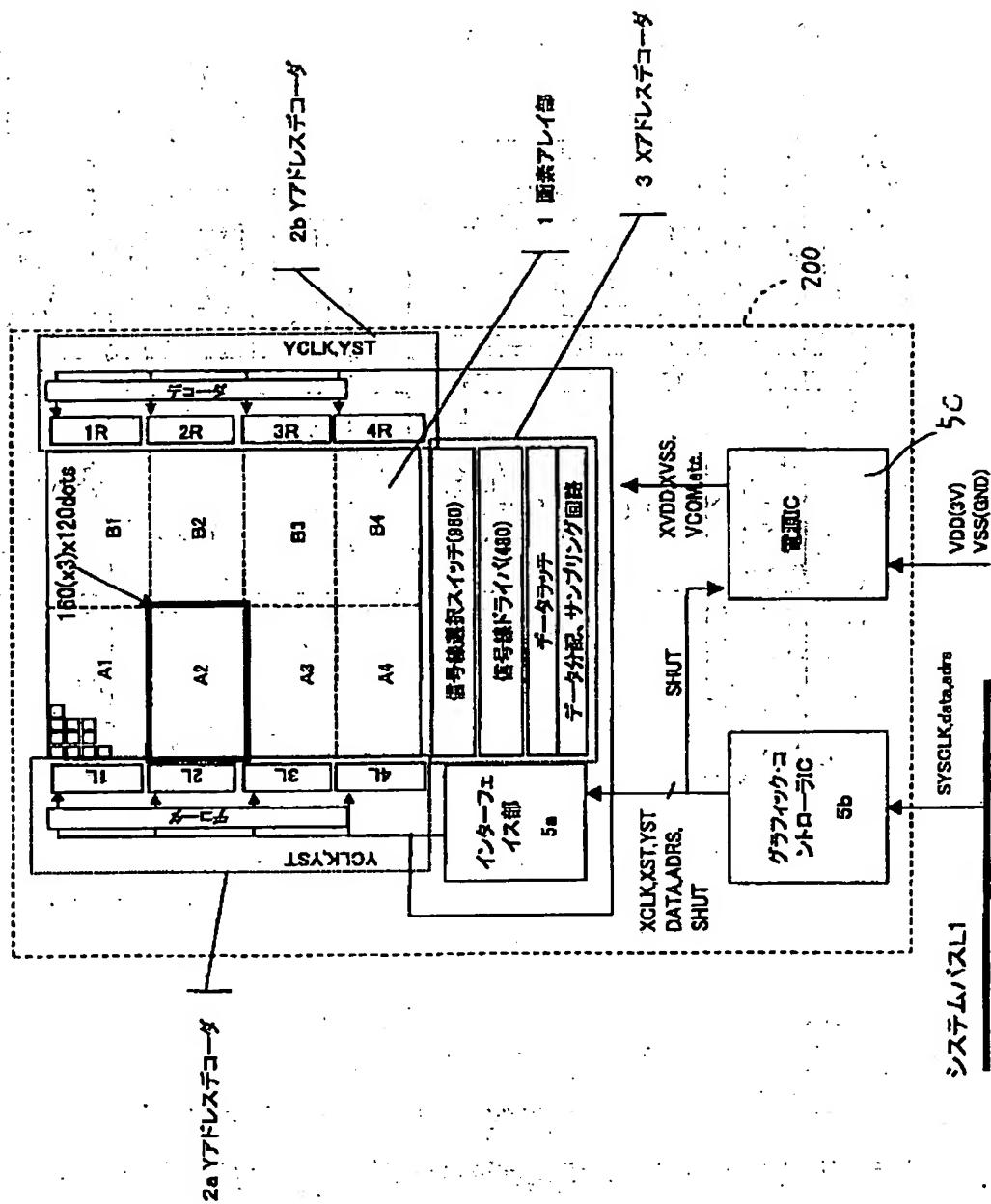
| | A. 全面書き換え | B. 部分書き換え | |
|------|---|--|--|
| | A. シーケンシャルコード編 | B1. 行単位 ワード線 | B2. 行列単位 2次ワード線 |
| 構造 |  全面書き換え |  特定行ブロックを書き換え |  特定ブロックを書き換え |
| 行配線 | ワード, P0Lx2, Vdd, Vss | ワード, P0Lx2, Vdd, Vss | ワード x2, P0Lx2, Vdd, Vss |
| 列配線 | ビット | ビット | ビット, 列ワード |
| 消費電力 | 1 | 1-1/(行分割数) 表示パターンにより異なる | 1-1/(行分割数) / (列分割数) 表示パターンにより異なる |

【図20】



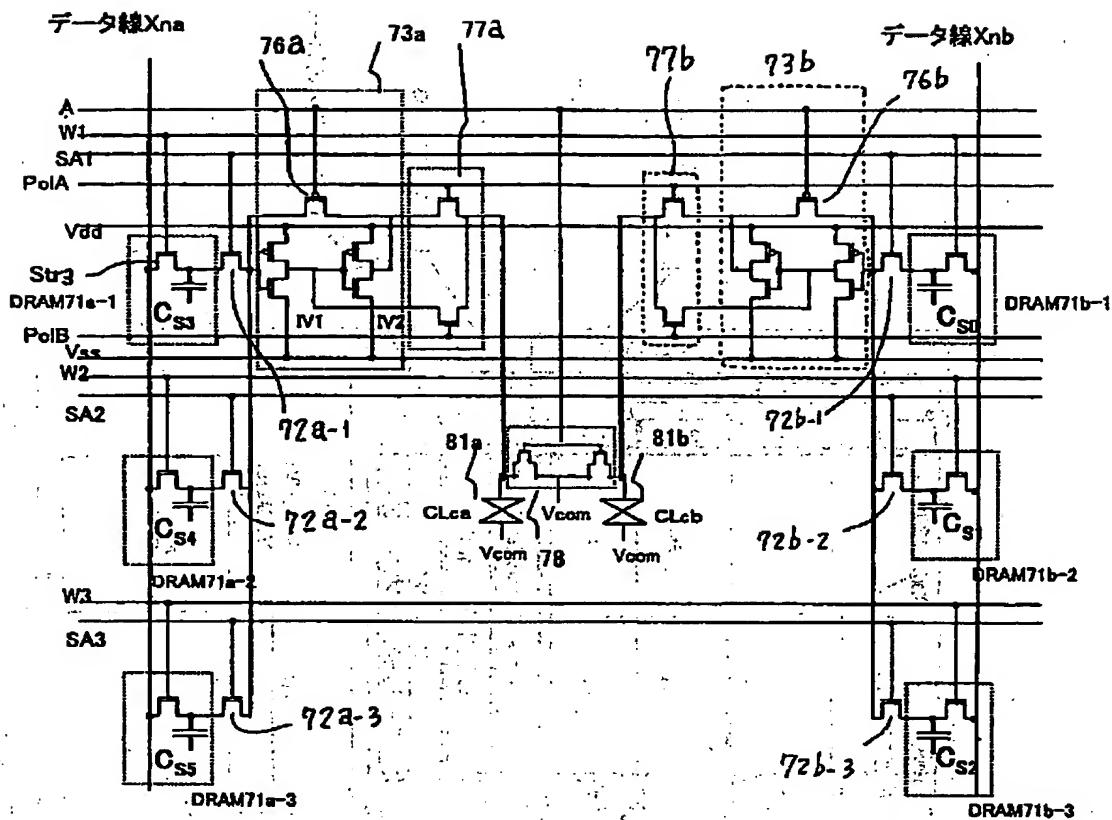
(19)

【図21】

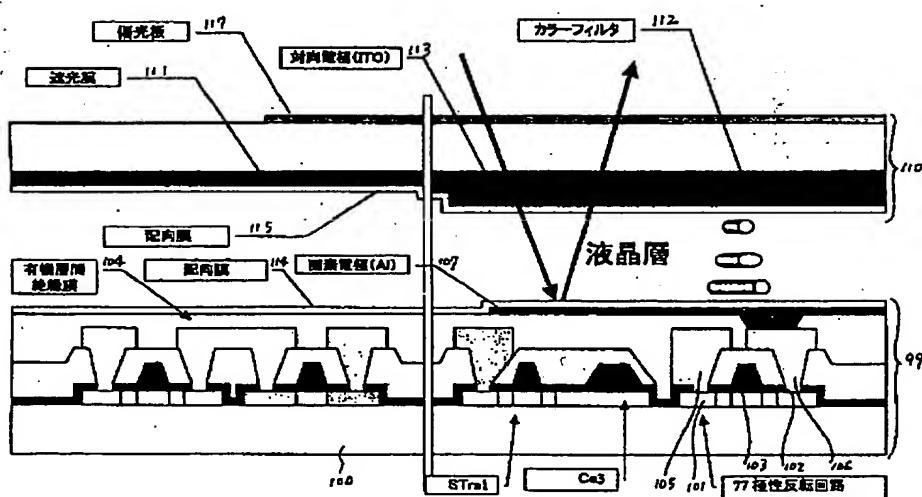


(20)

【図22】



【図23】

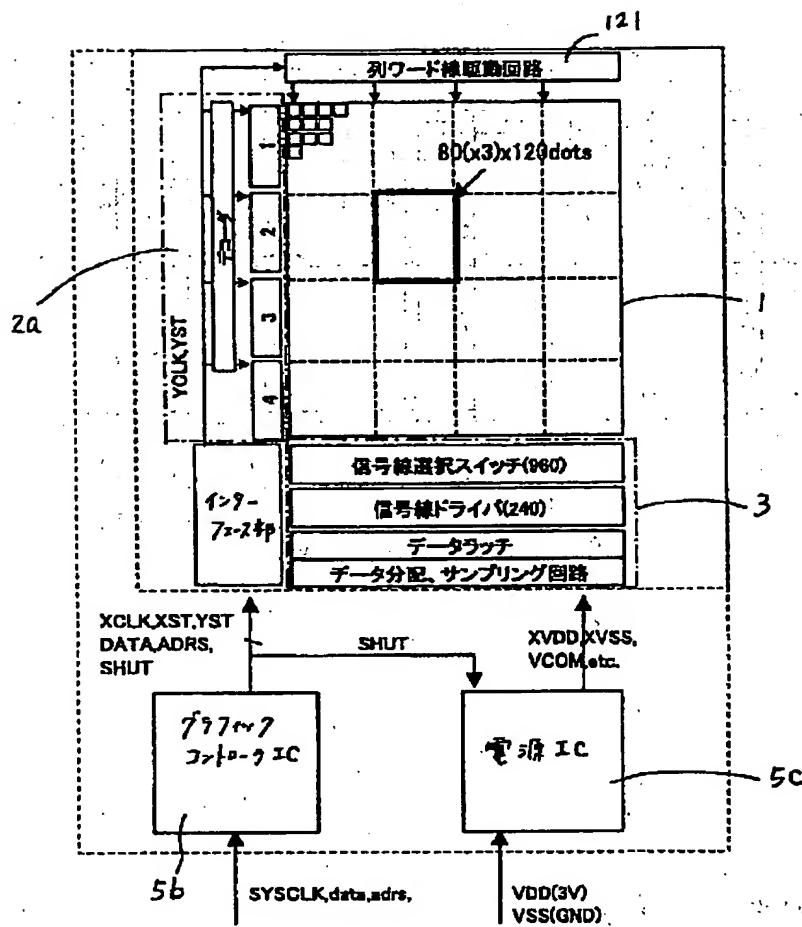


3 X アドレスデコーダ

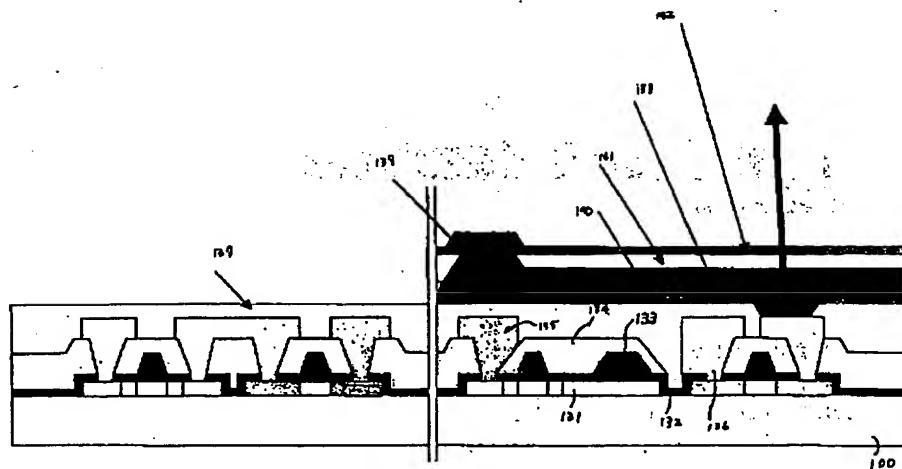
1 画素アレイ部

(21)

【図25】



【図26】

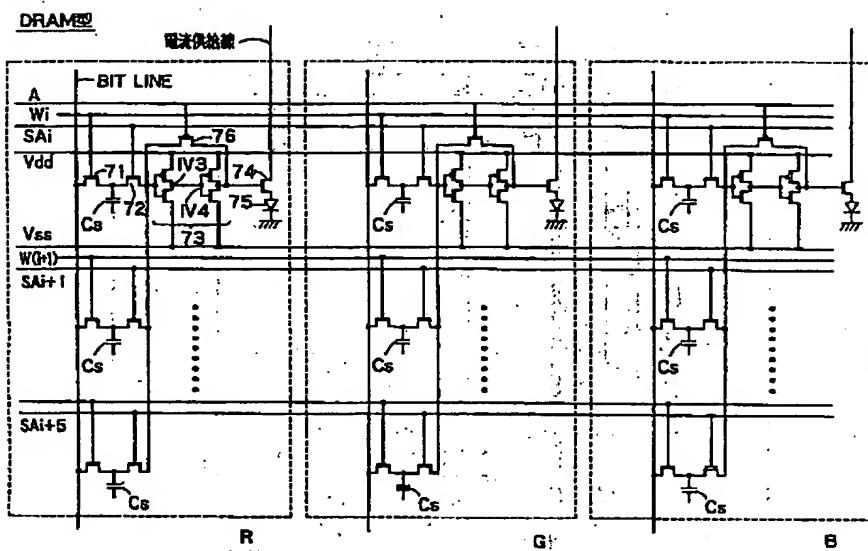


Xアドレスデコーダ

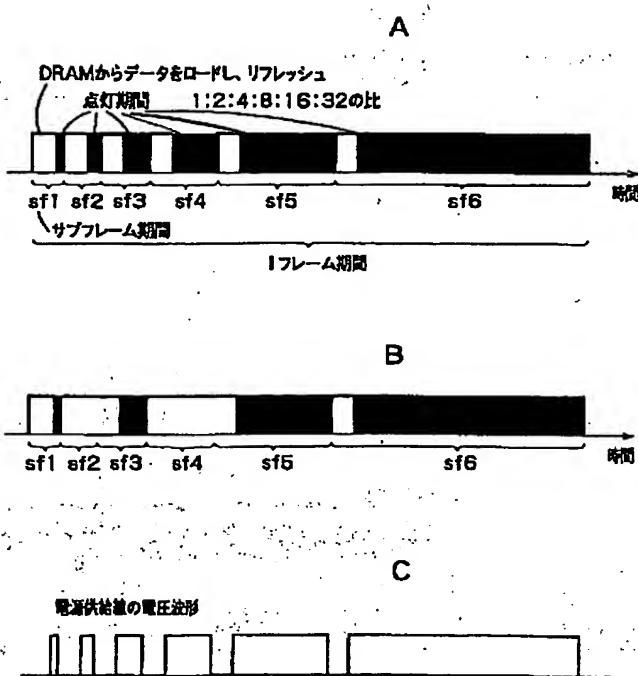
画素アレイ部

(22)

【図27】

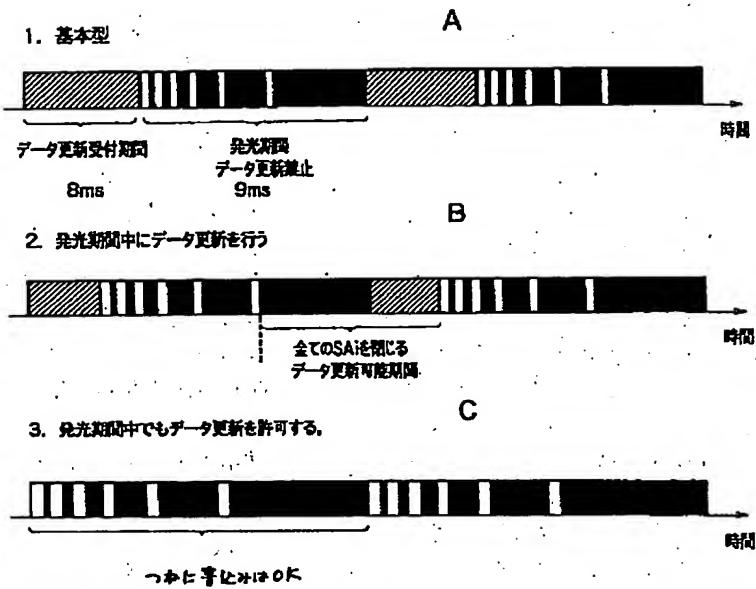


【図28】



(23)

【図29】



【手続補正書】

【提出日】平成14年2月28日 (2002. 2. 28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】表示装置及びその駆動方法

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】マトリクス状に配置された複数の表示画素と、この表示画素の行方向に沿って配置される複数本の走査線と、この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆動回路を制御する制御部と、を備えた表示装置において、前記表示画素は、前記走査信号に応答して対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素を有し、前記複数の副表示画素は、一のデータ線と一の走

査線とに対応して設けられる第1副表示画素と、前記一のデータ線と他の走査線とに対応して設けられる第2副表示画素と、を含むことを特徴とする表示装置。

【請求項2】前記一の走査線と前記他の一走査線とは互いに隣接して配置され、前記第1及び第2副表示画素は前記一のデータ線を隔てて配置されることを特徴とする請求項1に記載の表示装置。

【請求項3】前記一の走査線と前記他の一走査線とは互いに隣接して配置され、前記第1及び第2副表示画素は、前記一のデータ線と、この一のデータ線と隣接する他のデータ線との間に配置されることを特徴とする請求項1に記載の表示装置。

【請求項4】前記複数の副表示画素は、それぞれ異なる表示面積で形成されることを特徴とする請求項1に記載の表示装置。

【請求項5】前記複数の副表示画素のそれぞれは、前記画素データのビットに対応して設けられ、前記画素データのMSB (Most Significant Bit)側のビットに対応する副表示画素ほど、表示面積が大きいことを特徴とする請求項4に記載の表示装置。

【請求項6】前記複数の副表示画素それぞれの表示面積の比率は、2のべき乗に設定されることを特徴とする請求項5に記載の表示装置。

【請求項7】前記メモリ部は、SRAMで構成されることを特徴とする請求項1に記載の表示装置。

【請求項8】前記複数の副表示画素は、第1ワード線に接続された第1副表示画素と、第2ワード線に接続され

た第2副表示画素と、第3ワード線に接続された第3副表示画素と、第4ワード線に接続された第4副表示画素と、を有し、前記第1～第4副表示画素のそれぞれは、1フレーム期間内にそれぞれ一回ずつ所定期間だけ表示されることを特徴とする請求項1に記載の表示装置。

【請求項9】前記第1～第4副表示画素は、それぞれ異なる表示面積で形成されることを特徴とする請求項8に記載の表示装置。

【請求項10】縦横に列設された複数の1ビットメモリからなるメモリセルと、前記複数の1ビットメモリのそれに対応して設けられる画素電極と、ワード線の論理に応じて、前記データ線と前記1ビットメモリとの接続経路を遮断するか否かを切替制御する接続制御回路と、極性制御信号に応じて、前記データ線と前記1ビットメモリとの間で送受されるデータの極性を反転するか否かを切替制御する極性反転回路と、を備えることを特徴とする表示装置。

【請求項11】前記1ビットメモリの隣接する複数個で1画素が構成され、1画素内には、赤色用の少なくとも一つの前記1ビットメモリと、緑色用の少なくとも一つの前記1ビットメモリと、青色用の少なくとも一つの前記1ビットメモリとが設けられることを特徴とする請求項10に記載の表示装置。

【請求項12】前記1ビットメモリの隣接する複数個で1画素が構成され、1画素内には、赤色用の複数の前記1ビットメモリと、緑色用の複数の前記1ビットメモリと、青色用の複数の前記1ビットメモリとが設けられ、各色の前記複数の1ビットメモリの面積は互いに異なっていることを特徴とする請求項10に記載の表示装置。

【請求項13】縦横に列設された複数の1ビットメモリからなるメモリセルと、2個以上の所定個の前記1ビットメモリに対応して設けられる画素電極と、複数の第1ワード線および第2ワード線の論理により論理が定まる複数の副ワード線と、を備え、前記副ワード線のそれには、複数画素分の前記1ビットメモリが接続され、前記副ワード線の論理により、対応する複数画素分の前記1ビットメモリの読み書きが行われることを特徴とする表示装置。

【請求項14】前記副ワード線が列設される第1方向とは異なる第2方向に列設される複数のデータ線と、極性制御信号に応じて、前記データ線と前記1ビットメモリとの間で送受されるデータの極性を反転するか否かを切替制御する極性反転回路と、を備えることを特徴とする請求項13に記載の表示装置。

【請求項15】マトリクス状に配置された複数の表示画素と、この表示画素の行方向に沿って配置される複数本の走査線と、この表示画素の列方向に沿って配置されるデータ線と、前記データ線に画素データを供給するデータ線駆動回路と、前記走査線に走査信号を供給する走査線駆動回路と、前記データ線駆動回路及び前記走査線駆

動回路を制御する制御部と、を備えた表示装置において、前記表示画素は、前記走査信号に応答して対応する前記画素データをサンプリングするサンプリング部と、このサンプリング部によってサンプリングされた対応データを保持するメモリ部と、前記対応データに基づいて所定の表示を行なう表示部と、からなる複数の副表示画素を有し、前記複数の副表示画素は、第1データ線に接続されるn(n≥1)個の第1副表示画素と、第2データ線に接続される前記n個の第2副表示画素と、を含むことを特徴とする表示装置。

【請求項16】前記メモリ部は、DRAMで構成され、前記複数の副表示画素のそれぞれは、1水平走査期間に、複数の分離した点灯期間をもち、各点灯期間はそれぞれ時間長さが異なっていることを特徴とする請求項15に記載の表示装置。

【請求項17】前記複数の副表示画素それぞれの表示を行うのに同期させて、前記メモリ部のリフレッシュ動作を行うリフレッシュ回路を備えることを特徴とする請求項15に記載の表示装置。

【請求項18】各画素の各色ごとに、画素データのビット数と同数ずつ設けられる複数の1ビットメモリと、前記複数の1ビットメモリそれぞれの値に応じて点灯または消灯する複数のEL(electroluminescence)素子と、各画素の各色ごとに一つずつ設けられ、対応する前記1ビットメモリのデータを順に保持する保持回路と、前記保持回路で保持されたデータの論理に応じてオン・オフする駆動用トランジスタと、を備え、前記駆動用トランジスタは、オンのときに、1フレーム期間に画素データのビット数と同数の点灯可能な期間を持ち、これら期間のそれぞれで点灯するか否かを指示する信号を前記EL素子に供給することを特徴とする表示装置。

【請求項19】マトリクス状に配置された画素内に、画素データを保持する複数の1ビットメモリと、前記複数の1ビットメモリのそれぞれの値に応じて点灯または非点灯が制御されるEL素子と、前記複数の1ビットデータを1ビットずつ順に保持する保持回路と、前記保持回路で保持されたデータの論理に応じてオン・オフする駆動用トランジスタと、を備え、前記駆動用トランジスタは、オンのときに、複数の点灯可能な期間を持ち、これら期間のそれぞれで点灯するか否かを指示する信号を前記EL素子に供給することを特徴とする表示装置。

【請求項20】前記メモリ部は、DRAMで構成され、前記DRAMの電圧レベルを補正するリフレッシュ回路を前記画素内に備えることを特徴とする請求項19に記載の表示装置。

【請求項21】前記リフレッシュ回路は、前記保持回路を兼ねることを特徴とする請求項20に記載の表示装置。

【請求項22】前記リフレッシュ回路は、2つのインバータと、帰還TFTとを備え、これら2つのインバータ

(25)

は、帰還TFTにより、ループ状に接続されることを特徴とする請求項20に記載の表示装置。

【請求項23】前記画素は、複数のメモリと、前記リフレッシュ回路との間に、転送用TFTが設けられ、EL素子の発光期間中にも、前記複数のメモリの書換えを可能としたことを特徴とする請求項19に記載の表示装置。

【請求項24】前記DRAMに保持された電圧を、前記リフレッシュ回路の2つのインバータの一方に入力し、前記帰還TFTをオンすることによるDRAMのリフレッシュと、前記駆動用トランジスタによるEL素子の点灯または非点灯の制御とを略同一のタイミングで行うことを特徴とする請求項22に記載の表示装置の駆動方法。

フロントページの続き

(51) Int. Cl. 7 識別記号

| | | |
|---------|--------|-------|
| G 0 2 F | 1/1368 | |
| G 0 9 F | 9/30 | 3 3 8 |
| | | 3 6 5 |
| G 0 9 G | 3/30 | |
| | 3/36 | |

| F I | マーク(参考) | |
|---------|---------|---------|
| G 0 2 F | 1/1368 | |
| G 0 9 F | 9/30 | 3 3 8 |
| | | 3 6 5 Z |
| G 0 9 G | 3/30 | K |
| | 3/36 | |

F ターム(参考) 2H092 GA59 JA24 JB22 JB31 NA26
PA06 QA07 QA13
2H093 NA16 NA31 NA51 NC03 NC09
NC11 NC14 NC23 NC24 NC34
ND06 ND17 ND39 ND49 NF05
NF17
5C006 AA12 AA22 AC26 AF04 BB16
BC06 FA47
5C080 AA06 AA10 BB05 CC03 DD26
EE28 FF11 GG12 JJ02 JJ03
JJ04 JJ06
5C094 AA02 AA44 AA53 BA03 BA09
BA27 BA43 CA19 DB04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.